

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

HC525 U.S.P.T.O.
09/522428
03/09/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 3月18日

出願番号
Application Number:

平成11年特許願第072889号

出願人
Applicant(s):

株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 1月14日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3093356

【書類名】 特許願

【整理番号】 P004123-01

【提出日】 平成11年 3月18日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項1】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に2以上の正数、かつm>n)用いることによって、電圧階調と時間階調とを同時に行うことの特徴とする液晶表示装置。

【請求項2】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に2以上の正数、かつm>n)用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことの特徴とする液晶表示装置。

【請求項3】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と(m、nは共に2以上の正数、m>n)、

を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって表示を行うことを特徴とする液晶表示装置。

【請求項4】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と（m、nは共に2以上の正数、 $m > n$ ）、
を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって表示を行うことを特徴とする液晶表示装置。

【請求項5】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ（m-n）ビットを時間階調の情報として（m、nは共に2以上の正数、かつ $m > n$ ）用いることによって、電圧階調と時間階調とを同時に、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることを特徴とする液晶表示装置。

【請求項6】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階

調の情報として、かつ ($m - n$) ビットを時間階調の情報として (m, n は共に 2 以上の正数、かつ $m > n$) 用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行い、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることを特徴とする液晶表示装置。

【請求項 7】

複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される m ビットデジタルビデオデータを n ビットデジタルビデオデータに変換し、前記ソースドライバに前記 n ビットデジタルビデオデータを供給する回路と (m, n は共に 2 以上の正数、 $m > n$) 、
を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 2^{m-n} 個のサブフレームによって 1 フレームの映像を形成し、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることを特徴とする液晶表示装置。

【請求項 8】

複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される m ビットデジタルビデオデータを n ビットデジタルビデオデータに変換し、前記ソースドライバに前記 n ビットデジタルビデオデータを供給する回路と (m, n は共に 2 以上の正数、 $m > n$) 、
を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、 2^{m-n} 個のサブフレームによって 1 フレームの映像を形成し、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることによって表示を行うことを特徴とする液晶表示装置。

【請求項 9】

前記液晶表示装置には、V 字型の電気光学特性を示す無しきい値反強誘電性混合液晶が用いされることを特徴とする請求項 1 乃至 8 のいずれか一に記載の液晶

表示装置。

【請求項10】

前記mは8、前記nは2であることを特徴とする請求項1乃至9のいずれか一に記載の液晶表示装置。

【請求項11】

前記mは12、前記nは4であることを特徴とする請求項1乃至9のいずれか一に記載の液晶表示装置。

【請求項12】

請求項1乃至11のいずれか一に記載の液晶表示装置を3個有するリアプロジェクター。

【請求項13】

請求項1乃至11のいずれか一に記載の液晶表示装置を3個有するフロントプロジェクター。

【請求項14】

請求項1乃至11のいずれか一に記載の液晶表示装置を1個有する单板式リアプロジェクター。

【請求項15】

請求項1乃至11のいずれか一に記載の液晶表示装置を2個有するゴーグル型ディスプレイ。

【請求項16】

請求項1乃至11のいずれか一に記載の液晶表示装置を有する携帯情報端末。

【請求項17】

請求項1乃至11のいずれか一に記載の液晶表示装置を有するノートブック型

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、液晶表示装置に関する。特に、電圧階調と時間階調との両方によっ

て階調表示を行う液晶表示装置に関する。

【0003】

【従来の技術】

【0004】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0005】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0006】

近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示ができる多階調表示が求められている。

【0007】

また、アクティブマトリクス型液晶表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0008】

【発明が解決しようとする課題】

【0009】

デジタル駆動方式のアクティブマトリクス型液晶表示装置には、外部から入力されるデジタルビデオデータをアナログデータ（階調電圧）に変換するD/A変換回路（DAC）が必要である。D/A変換回路には、様々な種類のものが存在する。

【0010】

デジタル駆動方式のアクティブマトリクス型液晶表示装置の多階調表示能力は、このD/A変換回路の能力、つまりD/A変換回路が何ビットのデジタルビデ

オデータをアナログデータに変換することができるかに依存している。例えば、一般的に、2ビットのデジタルビデオデータを処理するD/A変換回路を有する液晶表示装置であれば、 $2^2 = 4$ 階調表示を行うことができ、8ビットならば $2^8 = 256$ 階調表示を行うことができ、またnビットならば 2^n 階調表示を行うことができる。

【0011】

しかし、D/A変換回路の能力を上げるためにには、D/A変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、D/A変換回路をアクティブマトリクス回路と同一基板上にポリシリコンTFTによって形成する液晶表示装置が報告されてきている。しかし、この場合、D/A変換回路の回路構成が複雑になると、D/A変換回路の歩留まりが低下し、液晶表示装置の歩留まりも低下してしまう。また、D/A変換回路のレイアウト面積が大きくなると、小型の液晶表示装置を実現することが困難になる。

【0012】

【課題を解決するための手段】

【0013】

そこで、本発明は上述の問題に鑑みてなされたものであり、多階調の表示を実現することのできる液晶表示装置を提供するものである。

【0014】

まず、図1を参照する。図1には、本発明の液晶表示装置の概略構成図が示されている。101はデジタルドライバを有する液晶パネルである。101-1はソースドライバであり、101-2および101-3はゲートドライバであり、101-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ101-1およびゲートドライバ101-2ならびに101-3は、アクティブマトリクス回路を駆動する。102はデジタルビデオデータ時間階調処理回路である。なお、本明細書においては、液晶表示装置と液晶パネルとを使い分けているが、デジタルビデオデータ時間階調処理回路を含む液晶パネルを液晶表示装置と呼ぶこともある。

【0015】

デジタルビデオデータ時間階調処理回路102は、外部から入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為のデジタルビデオデータに変換する。mビットのデジタルビデオデータのうち(m-n)ビットの階調情報は、時間階調によって表現される。

【0016】

デジタルビデオデータ時間階調処理回路102によって変換されたnビットデジタルビデオデータは、液晶パネル101に入力される。液晶パネル101に入力されたnビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のD/A変換回路でアナログ階調データに変換され、各ソース信号線に供給される。

【0017】

次に、本発明の液晶表示装置の別の例を図2に示す。図2において、201はアナログドライバを有する液晶パネルである。201-1はソースドライバであり、201-2および201-3はゲートドライバであり、201-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ201-1およびゲートドライバ201-2ならびに201-3は、アクティブマトリクス回路を駆動する。202はA/D変換回路であり、外部から供給されるアナログビデオデータをmビットデジタルビデオデータに変換する。203はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路203は、入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為のデジタルビデオデータに変換する。入力されるmビットのデジタルビデオデータのうち(m-n)ビットの階調情報は、時間階調によって表現される。デジタルビデオデータ時間階調処理回路203によって変換されたnビットデジタルビデオデータは、D/A変換回路204に入力され、アナログビデオデータに変換される。D/A変換回路204によって変換されたアナログビデオデータは、液晶パネル201に入力される。液晶パネル201に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給される。

【0018】

以下に本発明の構成を述べる。

【0019】

本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ($m-n$)ビットを時間階調の情報として(m、nは共に2以上の正数、かつ $m>n$)用いることによって、電圧階調と時間階調とを同時に行うことを特徴とする液晶表示装置が提供される。

【0020】

また、本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ($m-n$)ビットを時間階調の情報として(m、nは共に2以上の正数、かつ $m>n$)用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことを行なうことを特徴とする液晶表示装置が提供される。

【0021】

また、本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオ

データに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と（m、nは共に2以上の正数、 $m > n$ ）、
を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって表示を行うことを特徴とする液晶表示装置が提供される。

【0022】

また、本発明によると、
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と（m、nは共に2以上の正数、 $m > n$ ）、
を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって表示を行うことを特徴とする液晶表示装置が提供される。

【0023】

また、本発明によると、
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ（m-n）ビットを時間階調の情報として（m、nは共に2以上の正数、かつ $m > n$ ）用いることによって、電圧階調と時間階調とを同時に、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることを特徴とする液晶表示装置が提供される。

【0024】

また、本発明によると、
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ
バと、

を有する液晶表示装置であって、

外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階
調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に
2以上の正数、かつm>n)用いることによって、電圧階調および時間階調を、
それぞれ前、後、または相前後して行い、(2^m-(2^{m-n}-1))通りの表示階
調を得ることを特徴とする液晶表示装置が提供される。

【0025】

また、本発明によると、
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ
バと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオ
データに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供
給する回路と(m、nは共に2以上の正数、m>n)、
を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、2^{m-n}個のサブフレームによって1フレ
ームの映像を形成し、(2^m-(2^{m-n}-1))通りの表示階調を得ることを特徴
とする液晶表示装置が提供される。

【0026】

また、本発明によると、
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ
バと、

外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオ

データに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と（m、nは共に2以上の正数、 $m > n$ ）、
を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、 2^{m-n} 個のサブフレームによって1フレームの映像を形成し、 $(2^m - (2^{m-n} - 1))$ 通りの表示階調を得ることによって表示を行うことを特徴とする液晶表示装置が提供される。

【0027】

また、前記液晶表示装置には、V字型の電気光学特性を示す無しきい値反強誘電性混合液晶が用いられるようにしてもよい。

【0028】

また、前記mは8、前記nは2であってもよい。

【0029】

また、前記mは12、前記nは4であってもよい。

【0030】

【発明の実施の形態】

【0031】

以下に本発明の液晶表示装置を実施形態をもって説明する。ただし、本発明の液晶表示装置は、以下の実施形態に限定されるわけではない。

【0032】

（実施形態1）

【0033】

本実施形態の液晶表示装置の概略構成図を図3に示す。本実施形態においては、説明の簡略のため、外部から5ビットデジタルビデオデータが供給される液晶表示装置を例にとる。

【0034】

301はデジタルドライバを有する液晶パネルである。301-1はソースドライバであり、301-2および301-3はゲートドライバであり、301-4は複数の画素TFTがマトリクス状に配置されたアクティブラーマトリクス回路で

ある。

【0035】

デジタルビデオデータ時間階調処理回路302は、外部から入力される5ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、2ビットの電圧階調の為のデジタルビデオデータに変換する。5ビットのデジタルビデオデータのうち3ビットの階調情報は、時間階調によって表現される。

【0036】

デジタルビデオデータ時間階調処理回路302によって変換された後の2ビットデジタルビデオデータは、液晶パネル301に入力される。液晶パネル301に入力された2ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のD/A変換回路（図示せず）でアナログ階調データに変換され、各ソース信号線に供給される。なお、本実施形態の液晶パネルに内蔵されるD/A変換回路は、2ビットのデジタルビデオデータをアナログ階調電圧に変換する。

【0037】

ここで、本実施形態の液晶表示装置の液晶パネル301の回路回路構成、特にアクティブマトリクス回路301-4について、図4を用いて説明する。

【0038】

アクティブマトリクス回路301-4は、 $(x \times y)$ 個の画素を有している。それぞれの画素には、説明の便宜上、P1,1、P2,1、…、Py,x等の符号が付けられている。また、それぞれの画素は、画素TFT301-4-1、保持容量301-4-3を有している。また、ソースドライバ301-1、ゲートドライバ301-2ならびに301-3、およびアクティブマトリクス回路301-4が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶3006は、各画素に対応する液晶を模式的に示したものである。

【0039】

本実施形態のデジタルドライバ液晶パネルは、1ライン分の画素（例えば、P1,1、P1,2、…、P1,x）を同時に駆動する、いわゆる線順次駆動を行う。

言い換えると、1ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素 ($P_{1,1} \sim P_{y,x}$) にアナログ階調電圧を書き込むのに要する時間を1フレーム期間 (T_f) と呼ぶことにする。また、本実施形態では、1フレーム期間 (T_f) を8分割した期間をサブフレーム期間 (T_{sf}) と呼ぶことにする。さらに、1ライン分の画素(例えば、 $P_{1,1}, P_{1,2}, \dots, P_{1,x}$) にアナログ階調電圧を書き込むのに要する時間を1サブフレームライン期間 (T_{sf1}) と呼ぶことにする。

【0040】

本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは5ビットであり、32階調の情報を有している。ここで、図5を参照する。図5には、本実施形態の液晶表示装置の表示階調レベルが示されている。電圧レベル VL はD/A変換回路に入力される最低の電圧レベルであり、また、電圧レベル VH はD/A変換回路に入力される最高の電圧レベルである。

【0041】

本実施形態においては、2ビット、つまり4階調の電圧レベルを実現するために、電圧レベル VH と電圧レベル VL との間をほぼ等電圧レベルに4分割し、その電圧レベルのステップを α とした。なお、 $\alpha = (VH - VL) / 4$ である。よって、本実施形態のD/A変換回路が出力する電圧階調レベルは、デジタルビデオデータのアドレスが(00)の時は VL となり、デジタルビデオデータのアドレスが(01)の時は $VL + \alpha$ となり、デジタルビデオデータのアドレスが(10)の時は $VL + 2\alpha$ となり、デジタルビデオデータのアドレスが(11)の時は $VL + 3\alpha$ となる。

【0042】

本実施形態のD/A変換回路が出力できる電圧階調レベルは、上述の様に VL 、 $(VL + \alpha)$ 、 $(VL + 2\alpha)$ 、および $(VL + 3\alpha)$ の4通りである。そこで、本発明においては、時間階調表示を組合わせることによって、液晶表示装置の表示階調レベルの数を上げることができる。本実施形態においては、5ビットデジタルビデオデータのうちの3ビット分の情報を時間階調表示に用いることによ

って、電圧レベルのステップ α をほぼ8等分した電圧階調レベルに相当する表示階調レベルを実現することができる。つまり、本実施例の液晶表示装置は、 VL 、 $(VL + \alpha/8)$ 、 $(VL + 2\alpha/8)$ 、 $(VL + 3\alpha/8)$ 、 $(VL + 4\alpha/8)$ 、 $(VL + 5\alpha/8)$ 、 $(VL + 6\alpha/8)$ 、 $(VL + 7\alpha/8)$ 、 $(VL + \alpha)$ 、 $(VL + 9\alpha/8)$ 、 $(VL + 10\alpha/8)$ 、 $(VL + 11\alpha/8)$ 、 $(VL + 12\alpha/8)$ 、 $(VL + 13\alpha/8)$ 、 $(VL + 14\alpha/8)$ 、 $(VL + 15\alpha/8)$ 、 $(VL + 2\alpha)$ 、 $(VL + 17\alpha/8)$ 、 $(VL + 18\alpha/8)$ 、 $(VL + 19\alpha/8)$ 、 $(VL + 20\alpha/8)$ 、 $(VL + 21\alpha/8)$ 、 $(VL + 22\alpha/8)$ 、 $(VL + 23\alpha/8)$ 、 $(VL + 3\alpha)$ の電圧階調レベルに相当する表示階調レベルを実現することができる。

【0043】

ここで、外部から入力される5ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する電圧階調レベルと、時間階調を組み合わせた表示階調レベルとの対応を下記の表1および表2に示す。

【0044】

【表 1】

デジタルビデオデータアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル								時間階調を組み合わせた 階調表示 レベル
		1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	5th Tsfl	6th Tsfl	7th Tsfl	8th Tsfl	
00	000	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	VL
	001	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	01 (VL+α)	VL+α/8
	010	00 (VL)	00 (VL)	00 (VL)	00 (VL)	00 (VL)	01 (VL+α)	01 (VL+α)	VL+2α/8	VL+2α/8
	011	00 (VL)	00 (VL)	00 (VL)	00 (VL)	01 (VL+α)	01 (VL+α)	01 (VL+α)	VL+3α/8	VL+3α/8
	100	00 (VL)	00 (VL)	00 (VL)	00 (VL)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	VL+4α/8
	101	00 (VL)	00 (VL)	00 (VL)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	VL+5α/8
	110	00 (VL)	00 (VL)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	VL+6α/8
	111	00 (VL)	01 (VL+α)	VL+7α/8						
01	000	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	VL+α
	001	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	10 (VL+2α)	VL+9α/8
	010	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	VL+10α/8	VL+10α/8
	011	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+11α/8	VL+11α/8
	100	01 (VL+α)	01 (VL+α)	01 (VL+α)	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+12α/8
	101	01 (VL+α)	01 (VL+α)	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+13α/8	VL+13α/8
	110	01 (VL+α)	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+14α/8	VL+14α/8
	111	01 (VL+α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+15α/8	VL+15α/8

【0045】

【表2】

デジタルビデオデータアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル								時間階調を組み合わせた 階調表示 レベル
		1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	5th Tsfl	6th Tsfl	7th Tsfl	8th Tsfl	
10	000	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	VL+2α
	001	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	11 (VL+3α)	VL+17α/8
	010	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	11 (VL+3α)	11 (VL+3α)	VL+18α/8
	011	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+19α/8
	100	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+20α/8
	101	10 (VL+2α)	10 (VL+2α)	10 (VL+2α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+21α/8
	110	10 (VL+2α)	10 (VL+2α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+22α/8
	111	10 (VL+2α)	11 (VL+3α)	VL+23α/8						
11	000	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	001	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	010	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	011	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	100	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	101	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	110	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α
	111	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	11 (VL+3α)	VL+3α

【0046】

本実施形態の液晶表示装置は、1フレーム期間Tfを8個のサブフレーム期間(1st Tsfl, 2nd Tsfl, 3rd Tsfl, 4th Tsfl, 5th Tsfl, 6th Tsfl, 7th Tsflおよび8th Tsfl)に分割して表示を行っている。さらに、本実施形態の液晶表示装置は、線順次駆動を行うので、各画素は1サブフレームライン期間(Tsfl)の

間、階調電圧が書き込まれる。よって、各サブフレーム期間（1st Ts_f、2nd Ts_f、3rd Ts_f、4th Ts_f、5th Ts_f、6th Ts_f、7th Ts_fおよび8th Ts_f）に対応する各サブフレームライン期間（1st Ts_{f1}、2nd Ts_{f1}、3rd Ts_{f1}、4th Ts_{f1}、5th Ts_{f1}、6th Ts_{f1}、7th Ts_{f1}および8th Ts_{f1}）に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路から階調電圧が出力される。8個のサブフレームライン期間（1st Ts_{f1}、2nd Ts_{f1}、3rd Ts_{f1}、4th Ts_{f1}、5th Ts_{f1}、6th Ts_{f1}、7th Ts_{f1}および8th Ts_{f1}）に書き込まれる階調電圧によって8個のサブフレームの表示が高速に行われ、結果として、1フレームの表示階調が各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。このようにして、電圧階調と時間階調とを同時に行う。

【0047】

なお、表1および表2に示すように、本実施例においては、5ビットデジタルビデオデータのアドレスが（11000）～（11111）までは同じ階調電圧レベル（VL+3α）が出力される。

【0048】

よって、本実施形態の液晶表示装置においては、2ビットデジタルビデオデータを扱うD/A変換回路をした場合でも、 $2^5 - 7 = 25$ 階調の階調レベルの表示を行うことができる。

【0049】

なお、各サブフレームライン期間（1st Ts_{f1}、2nd Ts_{f1}、3rd Ts_{f1}、4th Ts_{f1}、5th Ts_{f1}、6th Ts_{f1}、7th Ts_{f1}および8th Ts_{f1}）に書き込まれるデジタルビデオデータのアドレス（または階調電圧レベル）は、表1および表2以外の組合せによっても設定され得る。例えば、表1および表2においては、デジタルビデオデータアドレスが（00100）の時には、第5サブフレームライン期間（5th Ts_{f1}）、第6サブフレームライン期間（6th Ts_{f1}）、第7サブフレームライン期間（7th Ts_{f1}）、および第8サブフレームライン期間（8th Ts_{f1}）に、（VL+α）の階調電圧が書き込まれるように示されているが、本発明を実現するためには、この組合せに限定されるわけではない。つまり、デジタ

ルビデオデータアドレスが(00100)の時には、第1サブフレームライン期間～第8サブフレームライン期間の8個のサブフレーム期間のうち、計4個のサブフレーム期間に($VL + \alpha$)の階調電圧が書き込まれるようにすればよく、どのサブフレーム期間に($VL + \alpha$)の階調電圧が書き込まれるようにするかは自由に設定できる。

【0050】

図6および図7には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図6および図7には、画素P1,1～画素Py,1が例にとって示されている。なお、図面の都合上、図6および図7の2図を用いて説明している。

【0051】

画素P1,1を例にとって説明すると、画素P1,1には、各サブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、4th Tsfl、5th Tsfl、6th Tsfl、7th Tsflおよび8th Tsfl)に、それぞれデジタルビデオデータ1,1-1、1,1-2、1,1-3、1,1-4、1,1-5、1,1-6、1,1-7、および1,1-8がD/A変換回路によってアナログ階調電圧に変換され書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、1,1-4、1,1-5、1,1-6、1,1-7、および1,1-8は、5ビットのデジタルビデオデータを時間階調処理した2ビットデジタルビデオデータである。このような動作が、全ての画素について行われる。

【0052】

ここで、図8を参照する。図8は、ある画素(例えば、画素P1,1)に書き込まれる階調電圧レベルと、サブフレーム期間およびフレーム期間との関係の例を示したものである。

【0053】

まず、1フレーム期間目に着目すると、第1のサブフレームライン期間(1st Tsfl)には($VL + \alpha$)の階調電圧が書き込まれ、第1のサブフレーム期間(1st Tsfl)には階調電圧($VL + \alpha$)に対応した階調表示が行われる。第2サブフレームライン期間(2nd Tsfl)には($VL + \alpha$)の階調電圧が書き込まれ、第2のサブフレーム期間(2nd Tsfl)には階調電圧($VL + \alpha$)に対応した階調表示が行われる。第3のサブフレームライン期間(3rd Tsfl)には($VL + 2\alpha$)の

階調電圧が書き込まれ、第3のサブフレーム期間 (3rd Tsf) には階調電圧 ($VL + 2\alpha$) に対応した階調表示が行われる。第4のサブフレームライン期間 (1st Tsf1) には ($VL + \alpha$) の階調電圧が書き込まれ、第4のサブフレーム期間 (4th Tsf) には階調電圧 ($VL + \alpha$) に対応した階調表示が行われる。第5のサブフレームライン期間 (5th Tsf1) には ($VL + \alpha$) の階調電圧が書き込まれ、第5のサブフレーム期間 (5th Tsf) には階調電圧 ($VL + \alpha$) に対応した階調表示が行われる。第6のサブフレームライン期間 (6th Tsf1) には ($VL + 2\alpha$) の階調電圧が書き込まれ、第6のサブフレーム期間 (6th Tsf) には階調電圧 ($VL + 2\alpha$) に対応した階調表示が行われる。第7のサブフレームライン期間 (7th Tsf1) には ($VL + \alpha$) の階調電圧が書き込まれ、第7のサブフレーム期間 (7th Tsf) には階調電圧 ($VL + \alpha$) に対応した階調表示が行われる。第8のサブフレームライン期間 (8th Tsf1) には ($VL + 2\alpha$) の階調電圧が書き込まれ、第8のサブフレーム期間 (8th Tsf) には階調電圧 ($VL + 2\alpha$) に対応した階調表示が行われる。よって、1フレーム目の階調表示レベルは、($VL + 1\alpha / 8$) の階調電圧レベルに対応した階調表示となる。

【0054】

次に、2フレーム期間目に着目する。第1のサブフレームライン期間 (1st Tsf1) には ($VL + 3\alpha$) の階調電圧が書き込まれ、第1のサブフレーム期間 (1st Tsf) には階調電圧 ($VL + 3\alpha$) に対応した階調表示が行われる。第2サブフレームライン期間 (2nd Tsf1) には ($VL + 2\alpha$) の階調電圧が書き込まれ、第2のサブフレーム期間 (2nd Tsf) には階調電圧 ($VL + 2\alpha$) に対応した階調表示が行われる。第3のサブフレームライン期間 (3rd Tsf1) には ($VL + 3\alpha$) の階調電圧が書き込まれ、第3のサブフレーム期間 (3rd Tsf) には階調電圧 ($VL + 3\alpha$) に対応した階調表示が行われる。第4のサブフレームライン期間 (1st Tsf1) には ($VL + 3\alpha$) の階調電圧が書き込まれ、第4のサブフレーム期間 (4th Tsf) には階調電圧 ($VL + 3\alpha$) に対応した階調表示が行われる。第5のサブフレームライン期間 (5th Tsf1) には ($VL + 3\alpha$) の階調電圧が書き込まれ、第5のサブフレーム期間 (5th Tsf) には階調電圧 ($VL + 3\alpha$) に対応した階調表示が行われる。第6のサブフレームライン期間 (6th Tsf1)

には $(VL + 2\alpha)$ の階調電圧が書き込まれ、第6のサブフレーム期間 (6th Ts_f) には階調電圧 $(VL + 2\alpha)$ に対応した階調表示が行われる。第7のサブフレームライン期間 (7th Ts_{f1}) には $(VL + 3\alpha)$ の階調電圧が書き込まれ、第7のサブフレーム期間 (7th Ts_f) には階調電圧 $(VL + 3\alpha)$ に対応した階調表示が行われる。第8のサブフレームライン期間 (8th Ts_{f1}) には $(VL + 3\alpha)$ の階調電圧が書き込まれ、第8のサブフレーム期間 (8th Ts_f) には階調電圧 $(VL + 3\alpha)$ に対応した階調表示が行われる。よって、2フレーム目の階調表示レベルは、 $(VL + 22\alpha / 8)$ の階調電圧レベルに対応した階調表示となる。

【0055】

なお、本実施例においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを α としたが、電圧レベルVHと電圧レベルVLとの間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

【0056】

また、本実施形態においては、液晶パネルのD/A変換回路に電圧レベルVHと電圧レベルVLとを入力し階調電圧レベルを実現できるようにしたが、3以上の電圧レベルの入力によって階調電圧レベルを実現するようにすることもできる。

【0057】

また、本実施例においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表1および表2のように設定したが、既述したように、表1および表2に限定されるわけではない。

【0058】

また、本実施例においては、外部から入力される5ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、2ビットの電圧階調の為のデジタルビデオデータに変換し、5ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現されたようにした。ここで、一般に、外部からmビットのデジタルビデオデータが時間階調処理回路によって、nビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、 $(m - n)$

) ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、nは共に2以上の整数であり、 $m > n$ とする。

【0059】

この場合、フレーム期間 (T_f) とサブフレーム期間 (T_{sf}) との関係は、

$$T_f = 2^{m-n} \cdot T_{sf}$$

となり、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を行うことができる。

【0060】

なお、本実施形態においては、 $m = 5$ かつ $n = 2$ の場合を例にとって説明したが、これらの場合に限定されるわけではないことは、言うまでもない。 $m = 12$ かつ $n = 4$ であってもよい。また、 $m = 8$ かつ $n = 2$ であってもよい。また、 $m = 8$ かつ $n = 6$ であってもよい。また、 $m = 10$ かつ $n = 2$ であってもよいし、その他の場合であってもよい。

【0061】

また、電圧階調および時間階調を、それぞれ前、後、または相前後して行うようにしてよい。

【0062】

(実施形態2)

【0063】

本実施形態においては、8ビットデジタルビデオデータが入力される液晶表示装置について説明する。図9を参照する。図9には、本実施例の液晶表示装置の概略構成図が示されている。801はデジタルドライバを有する液晶表示装置である。801-1ならびに801-2はソースドライバであり、801-3はゲートドライバであり、801-4は複数の画素TFTがマトリクス状に配置されたアクティブラーマトリクス回路であり、801-5はデジタルビデオデータ時間階調処理回路である。図に示すように、本実施形態においては、デジタルビデオデータ時間階調処理回路が液晶パネル内に一体形成されている。

【0064】

デジタルビデオデータ時間階調処理回路801-5は、外部から入力される8ビットデジタルビデオデータのうち6ビットのデジタルビデオデータを、6ビッ

トの電圧階調の為のデジタルビデオデータに変換する。8ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現される。

【0065】

デジタルビデオデータ時間階調処理回路801-5によって変換された6ビットデジタルビデオデータは、ソースドライバ801-1および801-2に入力され、ソースドライバ内のD/A変換回路（図示せず）でアナログ階調電圧に変換され、各ソース信号線に供給される。なお、本実施形態の液晶表示装置に内蔵されるD/A変換回路は、6ビットのデジタルビデオデータをアナログ階調電圧に変換する。

【0066】

なお、本実施形態の液晶表示装置においては、ソースドライバ801-1ならびに801-2、ゲートドライバ801-3、アクティブマトリクス回路801-4、およびデジタルビデオデータ時間階調処理回路801-5が同一基板上に一体形成されている。

【0067】

ここで、図10を参照する。図10には、本実施形態の液晶表示装置の回路構成がより詳しく示されている。ソースドライバ801-1は、シフトレジスタ回路801-1-1、ラッチ回路1（801-1-2）、ラッチ回路2（801-1-3）、D/A変換回路（801-1-4）を有している。その他、バッファ回路やレベルシフタ回路（いずれも図示せず）を有している。また、説明の便宜上、D/A変換回路801-1-4にはレベルシフタ回路が含まれている。

【0068】

ソースドライバ801-2は、ソースドライバ801-1と同じ構成を有する。なお、ソースドライバ801-1は、奇数番目のソース信号線に画像信号（階調電圧）を供給し、ソースドライバは、偶数番目のソース信号線に画像信号を供給するようになっている。

【0069】

なお、本実施例のアクティブマトリクス型液晶表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように2つのソースド

ライバ801-1および801-2を設けたが、回路レイアウト上、可能であれば、ソースドライバを1つだけ設けるようにしても良い。

【0070】

また、801-3はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフタ回路等（いずれも図示せず）を有している。

【0071】

アクティブマトリクス回路801-4は、 1920×1080 （横×縦）の画素を有している。各画素の構成は、上記実施形態1で説明したものと同様である。

【0072】

本実施形態の液晶表示装置は、6ビットデジタルビデオデータを扱うD/A変換回路801-1-4を有している。また、外部から供給される8ビットデジタルビデオデータのうち2ビット分の情報を時間階調を行うために用いる。なお、時間階調については、上述の実施形態1と同様に考えられる。

【0073】

よって、本実施形態の液晶表示装置は、 $2^8 - 3 = 253$ 通りの階調表示を行うことができる。

【0074】

（実施形態3）

【0075】

図11を参照する。1001はアナログドライバを有する液晶パネルである。1001-1はソースドライバであり、1001-2および1001-3はゲートドライバであり、1001-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。

【0076】

デジタルビデオデータ時間階調処理回路1002は、外部から入力される5ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、2ビットの電圧階調の為のデジタルビデオデータに変換する。5ビットのデジタルビデオデータのうち3ビットの階調情報は、時間階調によって表現される。

【0077】

デジタルビデオデータ時間階調処理回路1002によって変換された2ビットデジタルビデオデータは、D/A変換回路1003に入力され、アナログビデオデータに変換される。おして、このアナログビデオデータは、液晶パネル1001に入力される。

【0078】

ここで、本実施形態の液晶表示装置の液晶パネル1001の回路回路構成、特にアクティブマトリクス回路1001-4について、図12を用いて説明する。

【0079】

アクティブマトリクス回路1001-4は、 $(x \times y)$ 個の画素を有している。それぞれの画素には、説明の便宜上、P1,1、P2,1、…、Py,x等の符号が付けられている。また、それぞれの画素は、画素TFT1001-4-1、保持容量1001-4-3を有している。また、ソースドライバ1001-1、ゲートドライバ1001-2ならびに1001-3、およびアクティブマトリクス回路1001-4が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶1001-4-2は、各画素に対応する液晶を模式的に示したものである。

【0080】

本実施形態のアナログドライバ液晶パネルは、1つの画素を順に駆動する、いわゆる点順次駆動を行う。全ての画素(P1,1~Py,x)にアナログ階調電圧を書き込むのに要する時間を1フレーム期間(Tf)と呼ぶことにする。また、1フレーム期間(Tf)を8分割した期間をサブフレーム期間(Tsf)と呼ぶことにする。さらに、1つ分の画素(例えば、P1,1、P1,2、…、P1,x)にアナログ階調電圧を書き込むのに要する時間を1サブフレームドット期間(Tsfd)と呼ぶこととする。

【0081】

本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは、5ビットであり、32階調の情報を有している。なお、本実施例の液晶表示装置の表示階調レベルは、実

施形態1で説明した図5に示したものと同様であるので、図5を参照する。

【0082】

図13および図14には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図13および図14には、説明の便宜上、画素P_{1,1}、P_{1,2}、P_{1,3}、および画素P_{y,x}が例にとって示されている。なお、図面の都合上、図13および図14の2図を用いて説明している。

【0083】

画素P_{1,1}を例にとって説明すると、画素P_{1,1}には、各サブフレームドット期間(1st Tsfd、2nd Tsfd、3rd Tsfd、4th Tsfd、5th Tsfd、6th Tsfd、7th Tsfd、および8th Tsfd)に、それぞれ、デジタルビデオデータ1,1-1、1,1-2、1,1-3、1,1-4、1,1-5、1,1-6、1,1-7、および1,1-8がD/A変換回路によってアナログビデオデータに変換され書き込まれる。

【0084】

他の全ての画素についても同様に、各サブフレームドット期間に対応したアナログビデオデータが書き込まれる。

【0085】

よって、本実施形態の液晶表示装置においても、上述の実施形態1と同様、25階調の階調表示が行える。

【0086】

なお、本実施形態の液晶表示装置に外部からアナログビデオデータが入力される場合には、入力されるアナログビデオデータをデジタルビデオデータ変換し、デジタルビデオデータ時間階調処理回路1002に入力するようすれば良い。

【0087】

また、本実施形態においても、一般に、外部からmビットのデジタルビデオデータが時間階調処理回路によって、nビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、(m-n)ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、nは共に2以上の整数であり、m>nとする。

【0088】

この場合、フレーム期間 (T_f) とサブフレーム期間 (T_{sf}) との関係は、

$$T_f = 2^{m-n} \cdot T_{sf}$$

となり、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を行うことができる。

【0089】

なお、本実施形態のような点順次走査を行う場合には、画素へ左から右に画像信号を書き込むだけでなく、右から左に書き込むこともできる。また、画素へランダムに書き込むこともできる。また、画素1つおき、2つおき、または3つおきに書き込むこともできる。

【0090】

(実施形態4)

【0091】

本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0092】

[島状半導体層、ゲート絶縁膜形成の工程：図15（A）]

図15（A）において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0093】

そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜7002をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。例えば下地膜7002として、窒化シリコン膜7002を25～100nm、ここでは50nmの厚さに、酸化シリコン膜7003を50～300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜7002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくて良い。

【0094】

次に下地膜7002の上に20~100nmの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0095】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI(Silicon On Insulators)の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0096】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層7004~7006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0097】

次に、島状半導体層7004~7006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜7007を形成した。ゲート絶縁膜7007は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。例えば、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800~1000℃で熱酸化して115nmのゲート絶縁膜としても良い。(図15)

(A))

【0098】

[n⁻領域の形成：図15（B）]

島状半導体層7004、7006及び配線を形成する領域の全面と、島状半導体層7005の一部（チャネル形成領域となる領域を含む）にレジストマスク7008～7011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域7012を形成した。この低濃度不純物領域7012は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域（本明細書中ではLov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を（n⁻）で表すこととする。従って、本明細書中では低濃度不純物領域7012をn⁻領域と言い換えることができる。

【0099】

ここではフォスфин（PH₃）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜7007を通してその下の半導体層にリンを添加した。添加するリン濃度は、5×10¹⁷～5×10¹⁸atoms/cm³の範囲にするのが好ましく、ここでは1×10¹⁸atoms/cm³とした。

【0100】

その後、レジストマスク7008～7011を除去し、窒素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0101】

[ゲート電極用および配線用導電膜の形成：図15（C）]

第1の導電膜7013を、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜7013としては、例えば窒化タンタル（TaN）や窒化タングステン（WN）を用いることが

望ましい。さらに、第1の導電膜7013上に第2の導電膜7014をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100~400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜7013の下に導電膜7013、7014（特に導電膜7014）の酸化防止のためにシリコン膜を2~20nm程度の厚さで形成しておくことは有効である。

【0102】

〔p-chゲート電極、配線電極の形成とp⁺領域の形成：図16（A）〕

レジストマスク7015~7018を形成し、第1の導電膜と第2の導電膜（以下、積層膜として取り扱う）をエッチングして、pチャネル型TFTのゲート電極7019、ゲート配線7020、7021を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜7022、7023を残した。

【0103】

そして、レジストマスク7015~7018をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層7004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B₂H₆）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を（p⁺⁺）で表すこととする。従って、本明細書中では不純物領域7024、7025をp⁺⁺領域と言い換えることができる。

【0104】

なお、この工程において、レジストマスク7015~7018を使用してゲート絶縁膜7007をエッチング除去して、島状半導体層7004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0105】

[n-c hゲート電極の形成：図16（B）]

次に、レジストマスク7015～7018は除去した後、レジストマスク7026～7029を形成し、nチャネル型TFTのゲート電極7030、7031を形成した。このときゲート電極7030はn⁻領域7012とゲート絶縁膜を介して重なるように形成した。

【0106】

[n⁺領域の形成：図16（C）]

次に、レジストマスク7026～7029を除去し、レジストマスク7032～7034を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク7034はnチャネル型TFTのゲート電極7031を覆う形で形成した。これは、後の工程においてアクティブマトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0107】

そして、n型を付与する不純物元素を添加して不純物領域7035～7039を形成した。ここでも、フォスфин（PH₃）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は1×10²⁰～1×10²¹atoms/cm³とした。なお、ここで形成された不純物領域7037～7039に含まれるn型を付与する不純物元素の濃度を（n⁺）で表すこととする。従って、本明細書中では不純物領域7037～7039をn⁺領域と言い換えることができる。また、不純物領域7035、7036は既にn⁻領域が形成されていたので、厳密には不純物領域7037～7039よりも若干高い濃度でリンを含む。

【0108】

なお、この工程において、レジストマスク7032～7034およびゲート電極7030をマスクとしてゲート絶縁膜7007をエッチングし、島状半導体膜7005、7006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0109】

[n⁻領域の形成：図17（A）]

次に、レジストマスク7032～7034を除去し、アクティブマトリクス回路のnチャネル型TFTとなる島状半導体層7006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域7040～7043には前記n⁻領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域7040～7043に含まれるn型を付与する不純物元素の濃度を（n⁻）で表すこととする。従って、本明細書中では不純物領域7040～7043をn⁻領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域7067を除いて全ての不純物領域にn[?]の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0110】

[熱活性化の工程：図17（B）]

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜7044を形成した。保護絶縁膜7044は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0111】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスマニール法、レーザーマニール法、またはラピッドサーマルマニール法（RTA法）で行うことができる。ここではファーネスマニール法で活性化工程を行った。加熱処理は、窒素雰囲気において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0112】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。

水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0113】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図17（C）〕

活性化工程を終えたら、保護絶縁膜7044の上に0.5～1.5μm厚の層間絶縁膜7045を形成した。前記保護絶縁膜7044と層間絶縁膜7045となる積層膜を第1の層間絶縁膜とした。

【0114】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極7046～7048と、ドレイン電極7049、7050を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0115】

次に、パッシベーション膜7051として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450°Cで1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜7051に開口部を形成しても良い。

【0116】

その後、有機樹脂からなる第2の層間絶縁膜7052を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機

樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成した。

【0117】

次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜7052上に遮光膜7053を形成した。遮光膜7053はアルミニウム(A1)、チタン(Ti)、タンタル(Ta)から選ばれた元素またはいずれかを主成分とする膜で100~300nmの厚さに形成した。そして、遮光膜7054の表面に陽極酸化法またはプラズマ酸化法により30~150nm(好ましくは50~75nm)の厚さの酸化膜7054を形成した。ここでは遮光膜7053としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜7054として酸化アルミニウム膜(アルミナ膜)を用いた。

【0118】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30~150nm(好ましくは50~75nm)とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC(Diamond like carbon)膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0119】

次に、第2の層間絶縁膜7052にドレイン電極7050に達するコンタクトホールを形成し、画素電極7055を形成した。なお、画素電極7056、7057はそれぞれ隣接する別の画素の画素電極である。画素電極7055~7057は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。

【0120】

また、この時、画素電極7055と遮光膜7053とが酸化膜7054を介して重なった領域7058が保持容量を形成した。

【0121】

こうして同一基板上に、ドライバー回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT7081、pチャネル型TFT7082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT7083が形成された。

【0122】

CMOS回路のpチャネル型TFT7081には、チャネル形成領域7061、ソース領域7062、ドレイン領域7063がそれぞれ p^+ 領域で形成された。また、nチャネル型TFT7082には、チャネル形成領域7064、ソース領域7065、ドレイン領域7066、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）7067が形成された。この時、ソース領域7065、ドレイン領域7066はそれぞれ $(n^- + n^+)$ 領域で形成され、Lov領域7067は n^- 領域で形成された。

【0123】

また、画素TFT7083には、チャネル形成領域7068、7069、ソース領域7070、ドレイン領域7071、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、loff領域という。なお、offとはoffsetの意である。）7072～7075、loff領域7073、7074に接した n^+ 領域7076が形成された。この時、ソース領域7070、ドレイン領域7071はそれぞれ n^+ 領域で形成され、loff領域7072～7075は n^{--} 領域で形成された。

【0124】

本発明は、アクティブマトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはloff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0125】

例えば、nチャネル型TFT7082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT7083は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【0126】

また、チャネル長3～7μmに対してL_{ov}領域の長さ（幅）は0.5～3.0μm、代表的には1.0～1.5μmとすれば良い。また、画素TFT7083に設けられるL_{off}領域7072～7075の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0127】

以上の工程を経てアクティブマトリクス基板が完成する。

【0128】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する工程を説明する。

【0129】

図17(C)の状態のアクティブマトリクス基板に配向膜（図示せず）を形成する。本実施形態では、配向膜にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板、透明導電膜から成る対向電極、配向膜（いずれも図示せず）とで構成される。

【0130】

なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0131】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（いずれも図示せず）などを介して貼り合わせる。その後、両基板の間に液晶を注入し、封止剤（いずれも図示せず）に

よって完全に封止する。本実施形態では、液晶にネマチック液晶を用いた。

【0132】

よって、液晶表示装置が完成する。

【0133】

なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0134】

また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、エルトラン等のSOI構造（SOI基板）を用いて他のプロセスを行ってもよい。

【0135】

（実施形態5）

【0136】

本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0137】

〔島状半導体層、ゲート絶縁膜形成の工程：図18（A）〕

図20（A）において、基板6001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0138】

そして、基板6001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜6002をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。例えば下地膜6002として、窒化シリコン膜6002を25～100nm、ここでは50nmの厚さに、酸化シリコン膜6003を50～300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜6002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくて

も良い。

【0139】

次に下地膜6002の上に20~100nmの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0140】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0141】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層6004~6006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0142】

次に、島状半導体層6004~6006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6007を形成した。ゲート絶縁膜6007は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。例えば、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を

75 nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800~1000°Cで熱酸化して115 nmのゲート絶縁膜としても良い。(図20(A))

【0143】

〔n⁻領域の形成: 図18(B)〕

島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部(チャネル形成領域となる領域を含む)にレジストマスク6008~6011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中ではLov領域という。なお、ovとはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を(n⁻)で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013をn⁻領域と言い換えることができる。

【0144】

ここではフォスфин(PH₃)を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行なうイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。

【0145】

その後、レジストマスク6008~6011を除去し、窒素雰囲気中で400~900°C、好ましくは550~800°Cで1~12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0146】

〔ゲート電極用および配線用導電膜の形成: 図18(C)〕

第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素またはいずれかを主成分とする導

電性材料で、10～100nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タンクステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0147】

〔p-chゲート電極、配線電極の形成とp⁺領域の形成：図19(A)〕

レジストマスク6016～6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFTのゲート電極6020、ゲート配線6021、6022を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜6023、6024を残した。

【0148】

そして、レジストマスク6016～6019をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは5×10²⁰～3×10²¹atoms/cm³の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p⁺⁺)で表すこととする。従って、本明細書中では不純物領域6025、6026をp⁺⁺領域と言い換えることができる。

【0149】

なお、この工程において、レジストマスク6016～6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スルー

プットも向上する。

【0150】

〔n-chゲート電極の形成：図19（B）〕

次に、レジストマスク6016～6019は除去した後、レジストマスク6027～6030を形成し、nチャネル型TFTのゲート電極6031、6032を形成した。このときゲート電極6031はn⁻領域6012、6013とゲート絶縁膜を介して重なるように形成した。

【0151】

〔n⁺領域の形成：図19（C）〕

次に、レジストマスク6027～6030を除去し、レジストマスク6033～6035を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク6035はnチャネル型TFTのゲート電極6032を覆う形で形成した。これは、後の工程においてアクティブマトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0152】

そして、n型を付与する不純物元素を添加して不純物領域6036～6040を形成した。ここでも、フォスフィン（PH₃）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³とした。なお、ここで形成された不純物領域6038～6040に含まれるn型を付与する不純物元素の濃度を（n⁺）で表すこととする。従って、本明細書中では不純物領域6038～6040をn⁺領域と言い換えることができる。また、不純物領域6036、6037は既にn⁻領域が形成されていたので、厳密には不純物領域6038～6040よりも若干高い濃度でリンを含む。

【0153】

なお、この工程において、レジストマスク6033～6035およびゲート電極6031をマスクとしてゲート絶縁膜6007をエッティングし、島状半導体膜6005、6006の一部を露出させた後、n型を付与する不純物元素を添加す

る工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0154】

【 n^- 領域の形成：図20（A）】

次に、レジストマスク6033～6035を除去し、アクティブマトリクス回路の n^- チャネル型TFTとなる島状半導体層6006に n^- 型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域6041～6044には前記 n^- 領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域6041～6044に含まれる n^- 型を付与する不純物元素の濃度を（ n^- ）で表すこととする。従って、本明細書中では不純物領域6041～6044を n^- 領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域6068を除いて全ての不純物領域に n^- ?の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0155】

【熱活性化の工程：図20（B）】

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜6045を形成した。保護絶縁膜6045は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0156】

その後、それぞれの濃度で添加された n^- 型または p 型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0157】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12

時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0158】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図20（C）〕

活性化工程を終えたら、保護絶縁膜6045の上に0.5～1.5μm厚の層間絶縁膜6046を形成した。前記保護絶縁膜6045と層間絶縁膜6046となる積層膜を第1の層間絶縁膜とした。

【0159】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極6047～6049と、ドレイン電極6050、6051を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0160】

次に、パッシベーション膜6052として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6052に開口部を形成しても良い。

【0161】

その後、有機樹脂からなる第2の層間絶縁膜6053を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用

いるこの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成した。

【0162】

次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜6053上に遮光膜6054を形成した。遮光膜6054はアルミニウム(A1)、チタン(Ti)、タンタル(Ta)から選ばれた元素またはいずれかを主成分とする膜で100~300nmの厚さに形成した。そして、遮光膜6055の表面に陽極酸化法またはプラズマ酸化法により30~150nm(好ましくは50~75nm)の厚さの酸化膜6055を形成した。ここでは遮光膜6055としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜6055として酸化アルミニウム膜(アルミナ膜)を用いた。

【0163】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30~150nm(好ましくは50~75nm)とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC(Diamond like carbon)膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0164】

次に、第2の層間絶縁膜6055にドレイン電極6051に達するコンタクトホールを形成し、画素電極6056を形成した。なお、画素電極6057、6058はそれぞれ隣接する別の画素の画素電極である。画素電極6056~6058は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。

【0165】

また、この時、画素電極6056と遮光膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

【0166】

こうして同一基板上に、ドライバー回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT6081、pチャネル型TFT6082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT6083が形成された。

【0167】

CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ドレイン領域6064がそれぞれp⁺領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ドレイン領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）6068が形成された。この時、ソース領域6066、ドレイン領域6067はそれぞれ（n⁻+n⁺）領域で形成され、Lov領域6068はn⁻領域で形成された。

【0168】

また、画素TFT6084には、チャネル形成領域6069、6070、ソース領域6071、ドレイン領域6072、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、loff領域という。なお、offとはoffsetの意である。）6073～6076、loff領域6074、6075に接したn⁺領域6077が形成された。この時、ソース領域6071、ドレイン領域6072はそれぞれn⁺領域で形成され、loff領域6073～6076はn⁻⁻領域で形成された。

【0169】

本発明は、アクティブマトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはloff領域を使い分

ることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0170】

例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT6082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT6083は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【0171】

また、チャネル長3～7μmに対してL_{ov}領域の長さ（幅）は0.5～3.0μm、代表的には1.0～1.5μmとすれば良い。また、画素TFT6083に設けられるL_{off}領域6073～6076の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0172】

以上の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する。作製工程例については、実施形態5を参照されたい。

【0173】

（実施形態6）

【0174】

図21は、本発明の液晶表示装置のアクティブマトリクス基板の別の構成の例である。8001はpチャネル型TFT、8002はnチャネル型TFT、8003はnチャネル型TFT、8004はnチャネル型TFTである。8001、8002、および8003はドライバの回路部を構成し、8004はアクティブマトリクス回路部を構成している。

【0175】

8005～9013は、アクティブマトリクス回路を構成する画素TFTの半導体層である。8005、8009および8013はn⁺領域、8006、8008、8010および8012はn⁻領域、8007および8011はチャネル形成領域である。8014は絶縁膜のキャップ層であり、チャネル形成領域にオ

フェセット部を形成するために設けられる。

【0176】

なお、本実施形態については、本出願人の特許出願である、特願平11-67809号を参照することができる。

【0177】

(実施形態7)

【0178】

上述の本発明の液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0179】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0180】

ここで、いわゆるV字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図22に示す。図22に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されて

いる。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0181】

図22に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0182】

このような低電圧駆動の無しきい値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることができ、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0183】

また、このような低電圧駆動の無しきい値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げるができるので、D/A変換回路の動作電源電圧を下げることができ、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0184】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0185】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくてもそれを補う

ようにしてもよい。

【0186】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0187】

なお、図22に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶表示装置の表示媒体として用いることができる。

【0188】

(実施形態8)

【0189】

上述の本発明の液晶表示装置は、図23に示すような3板式のプロジェクタに用いることができる。

【0190】

図23において、2401は白色光源、2402～2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408～2410は本発明の液晶表示装置、および2411は投影レンズである。

【0191】

(実施形態9)

【0192】

また、上述の本発明の液晶表示装置は、図24に示すような3板式のプロジェクタに用いることもできる。

【0193】

図24において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504～2506は全反射ミラー、2507～2509は本発明の液晶表示装置、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0194】

(実施形態10)

【0195】

また、上述の実施形態1～3で説明した本発明の液晶表示装置は、図25に示すような単板式のプロジェクタに用いることもできる。

【0196】

図25において、2601はランプとリフレクターとから成る白色光源である。2602、2603、および2604は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606は本発明の液晶表示装置である。2607は集光レンズ、2608は投射レンズ、2609はスクリーンである。

【0197】

(実施形態11)

【0198】

上記実施形態8～10のプロジェクターは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

【0199】

図26(A)はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図26(A)には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0200】

図26(B)はリア型プロジェクターであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図26(B)には、アクティブマトリックス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクタが示されている。

【0201】

(実施形態12)

【0202】

本実施形態では、本発明の液晶表示装置をゴーグル型ディスプレイに用いた例を示す。

【0203】

図27を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明の液晶表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0204】

(実施形態13)

【0205】

本実施形態においては、本発明の液晶表示装置のバックライトにLEDを用いて、フィールドシーケンシャル駆動を行うものである。

【0206】

図28に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号（Vsync信号）、赤（R）、緑（G）ならびに青（B）のLEDの点灯タイミング信号（R、GならびにB）、およびビデオ信号（VIDEO）が示されている。Tfはフレーム期間である。また、TR、TG、TBは、それぞれ赤（R）、緑（G）、青（B）のLED点灯期間である。

【0207】

液晶表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。

【0208】

フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLE

Dの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータ（G1）が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータ（B1）が液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

【0209】

(実施形態14)

【0210】

本実施形態においては、本発明の液晶表示装置をノートブック型パーソナルコンピュータに用いた例を図29に示す。

【0211】

3001はノートブック型パーソナルコンピュータ本体であり、3002は本発明の液晶表示装置である。また、バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0212】

(実施形態15)

【0213】

本発明の液晶表示装置には他に様々な用途がある。本実施形態では、本発明の液晶表示装置を組み込んだ半導体装置について説明する。

【0214】

このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図30に示す。

【0215】

図30（A）は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、本発明の液晶表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0216】

図30（B）はビデオカメラであり、本体12007、本発明の液晶表示装置12008、音声入力部12009、操作スイッチ12010、バッテリー12011、受像部12012で構成される。

【0217】

図30（C）はモバイルコンピュータであり、本体13013、カメラ部13014、受像部13015、操作スイッチ13016、本発明の液晶表示装置13017で構成される。

【0218】

図30（D）は携帯書籍（電子書籍）であり、本体14001、本発明の液晶表示装置14002、14003、記憶媒体14004、操作スイッチ14005、アンテナ14006で構成される。

【0219】

【発明の効果】

【0220】

本発明の液晶表示装置によると、D/A変換回路の能力以上の多階調表示をおこなうことができる。よって、小型の液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶表示装置の概略構成図である。

【図3】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図4】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図5】 本発明の液晶表示装置のある実施形態の階調表示レベルを示す図である。

【図6】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図7】 本発明の液晶表示装置のある実施形態の駆動タイミングチャート

を示す図である。

【図8】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図9】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図10】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図11】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図12】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図13】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図14】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図15】 本発明の液晶表示装置の作製工程例を示す図である。

【図16】 本発明の液晶表示装置の作製工程例を示す図である。

【図17】 本発明の液晶表示装置の作製工程例を示す図である。

【図18】 本発明の液晶表示装置の作製工程例を示す図である。

【図19】 本発明の液晶表示装置の作製工程例を示す図である。

【図20】 本発明の液晶表示装置の作製工程例を示す図である。

【図21】 本発明の液晶表示装置の作製工程例を示す図である。

【図22】 無しきい値反強誘電性混合液晶の印加電圧－透過率特性を示すグラフである。

【図23】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図24】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図25】 本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図26】 本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図27】 本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。

【図28】 フィールドシーケンシャル駆動のタイミングチャートである。

【図29】 本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。

【図30】 本発明の液晶表示装置を用いた電子機器の例である。

【符号の説明】

101 液晶表示装置

101-1 ソースドライバ

101-2 ゲートドライバ

101-3 ゲートドライバ

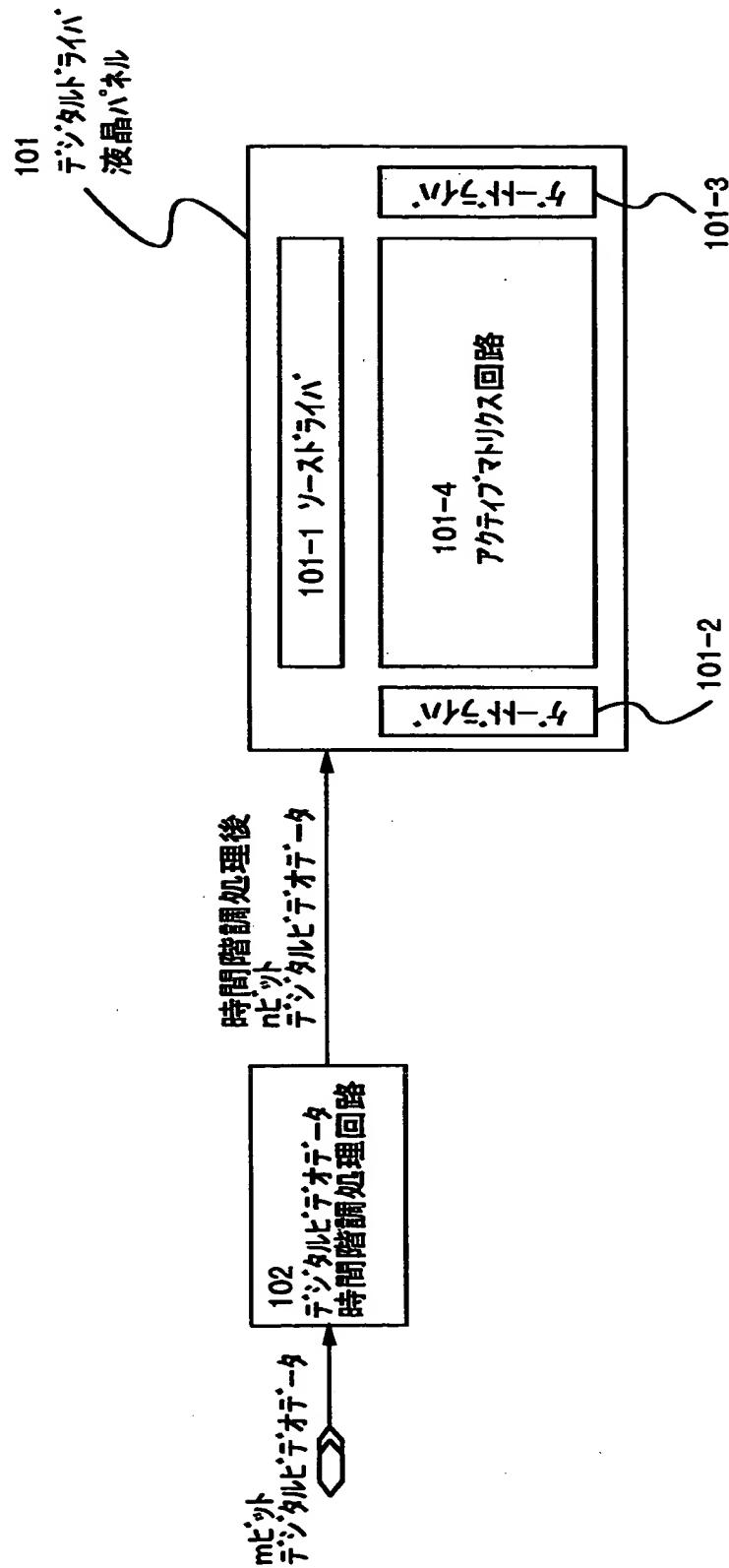
101-4 アクティブマトリクス回路

102 デジタルビデオデータ時間階調処理回路

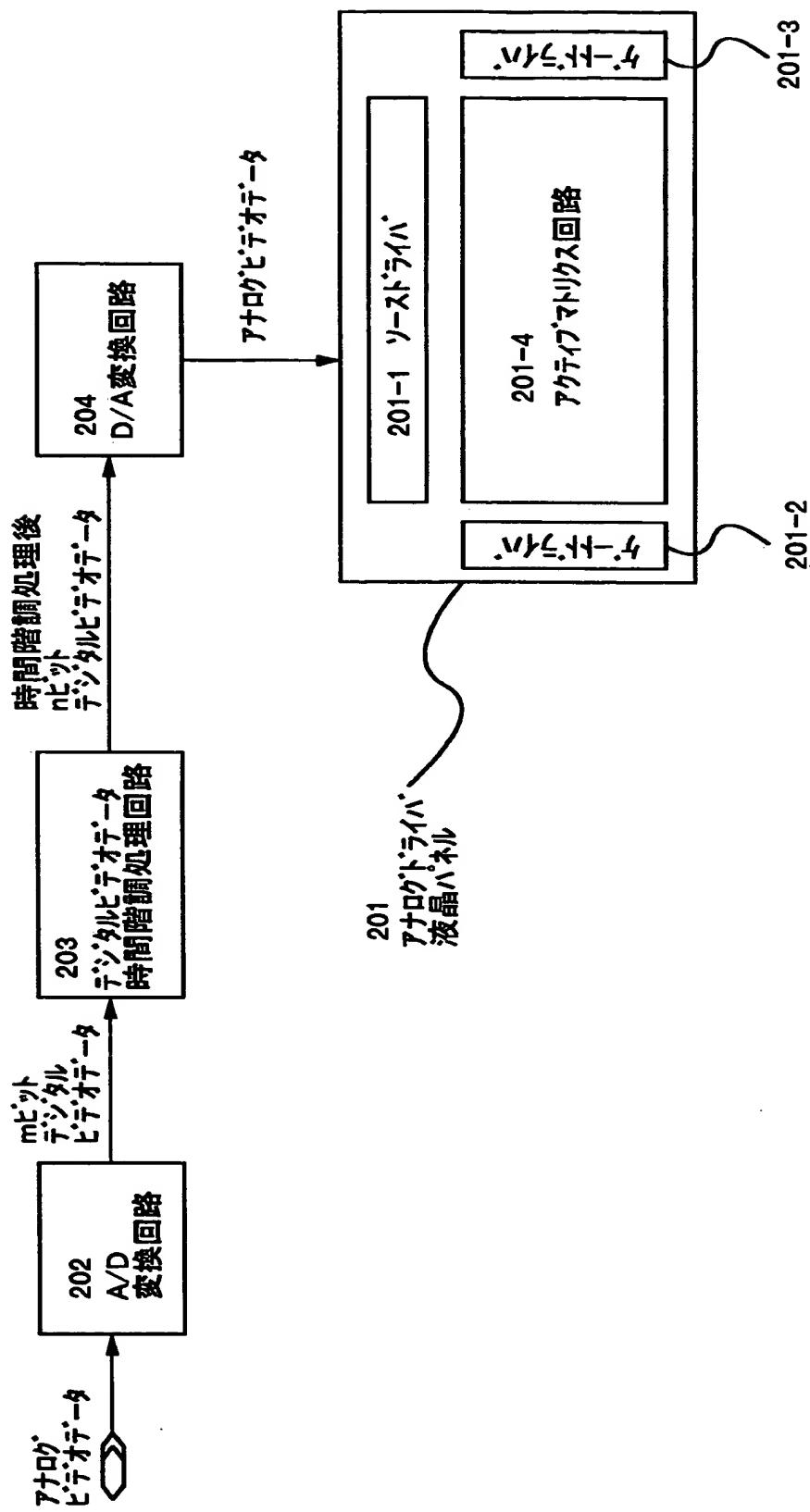
【書類名】

図面

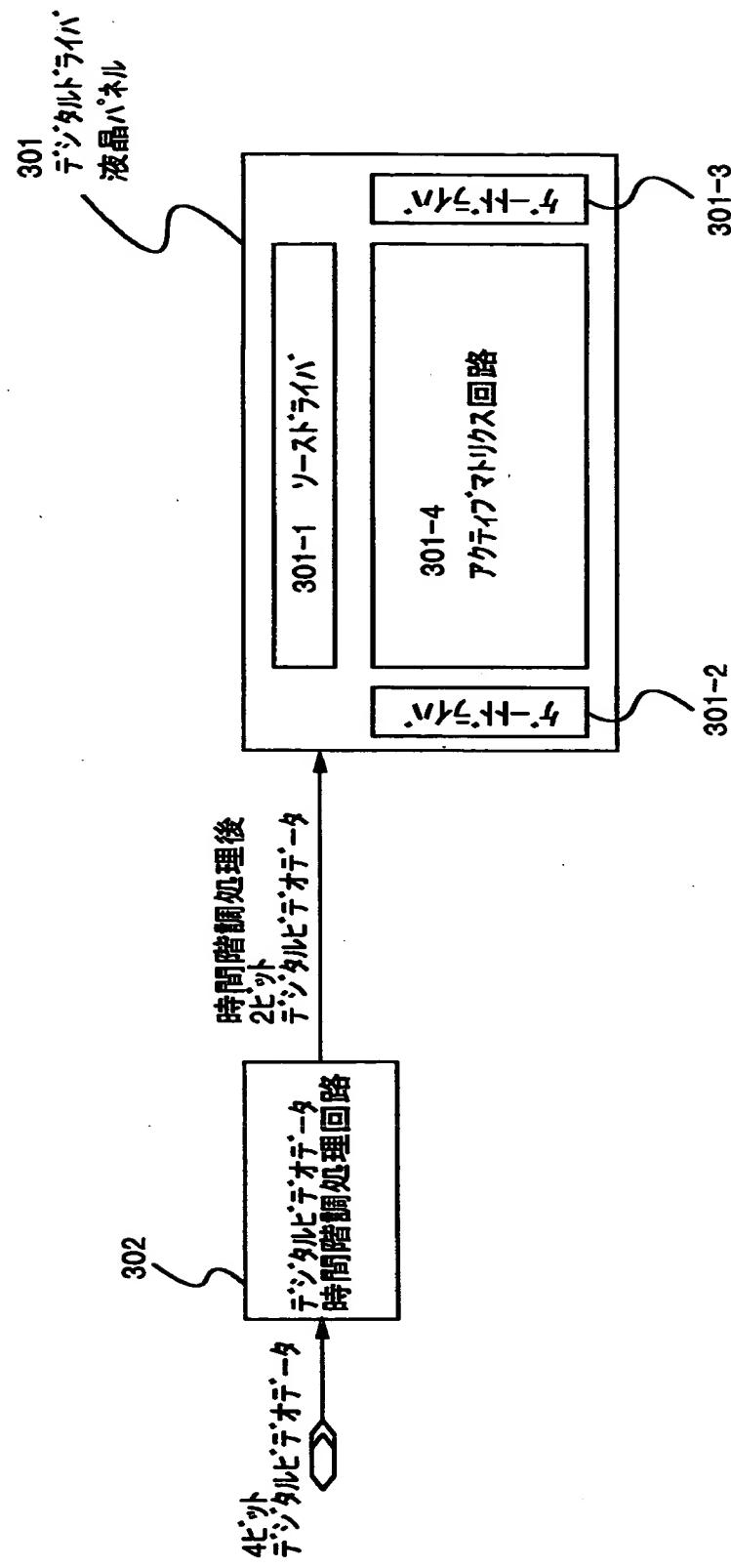
【図1】



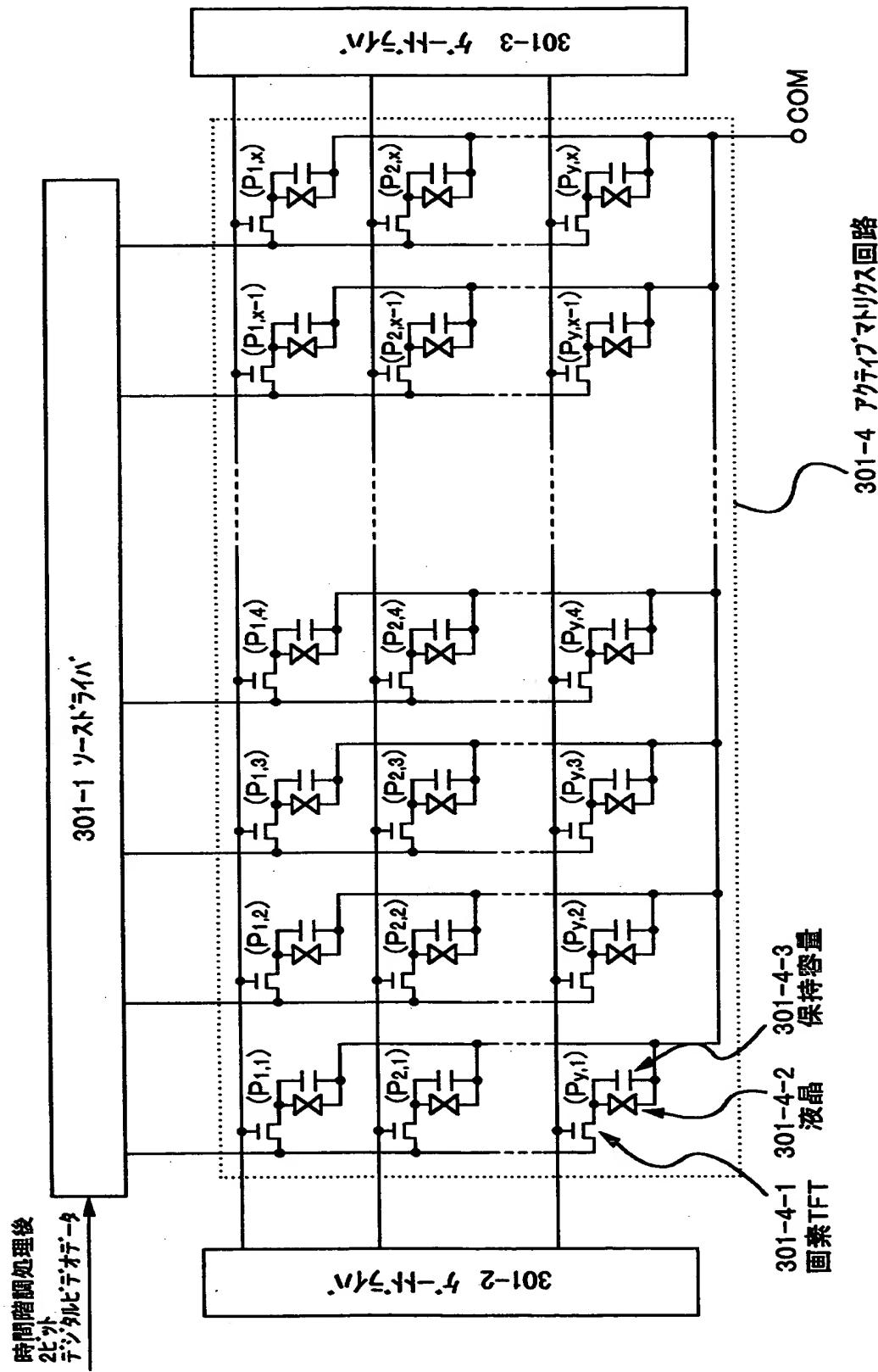
【図2】



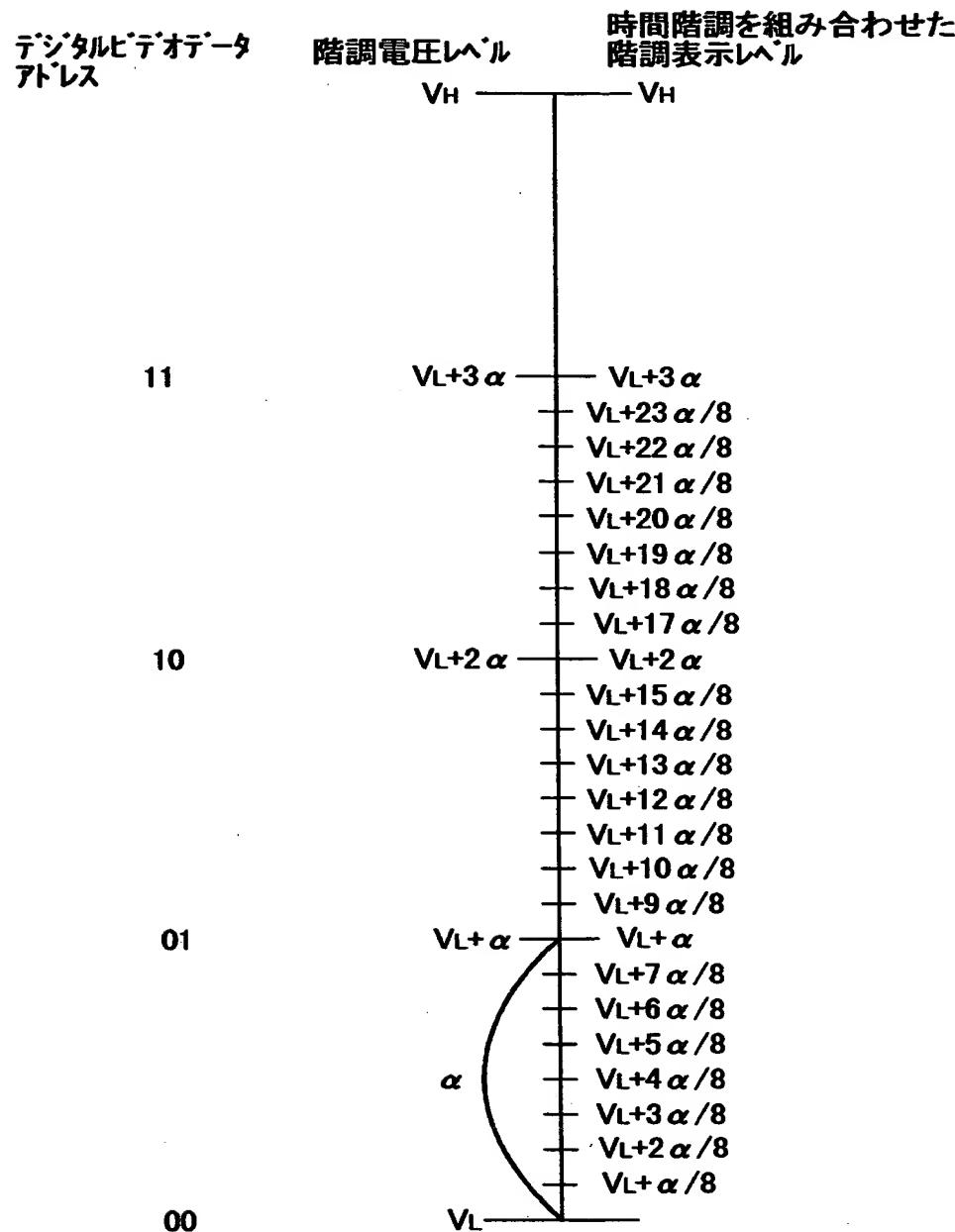
【図3】



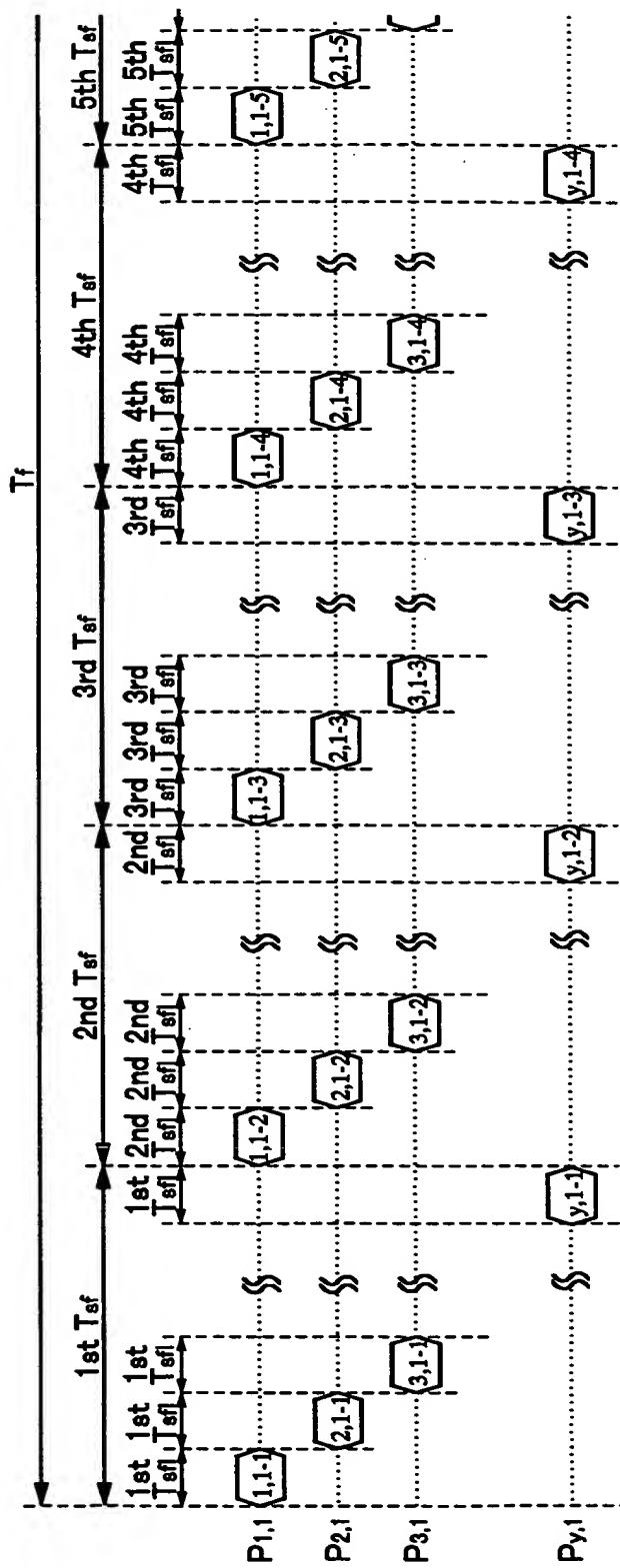
【図4】



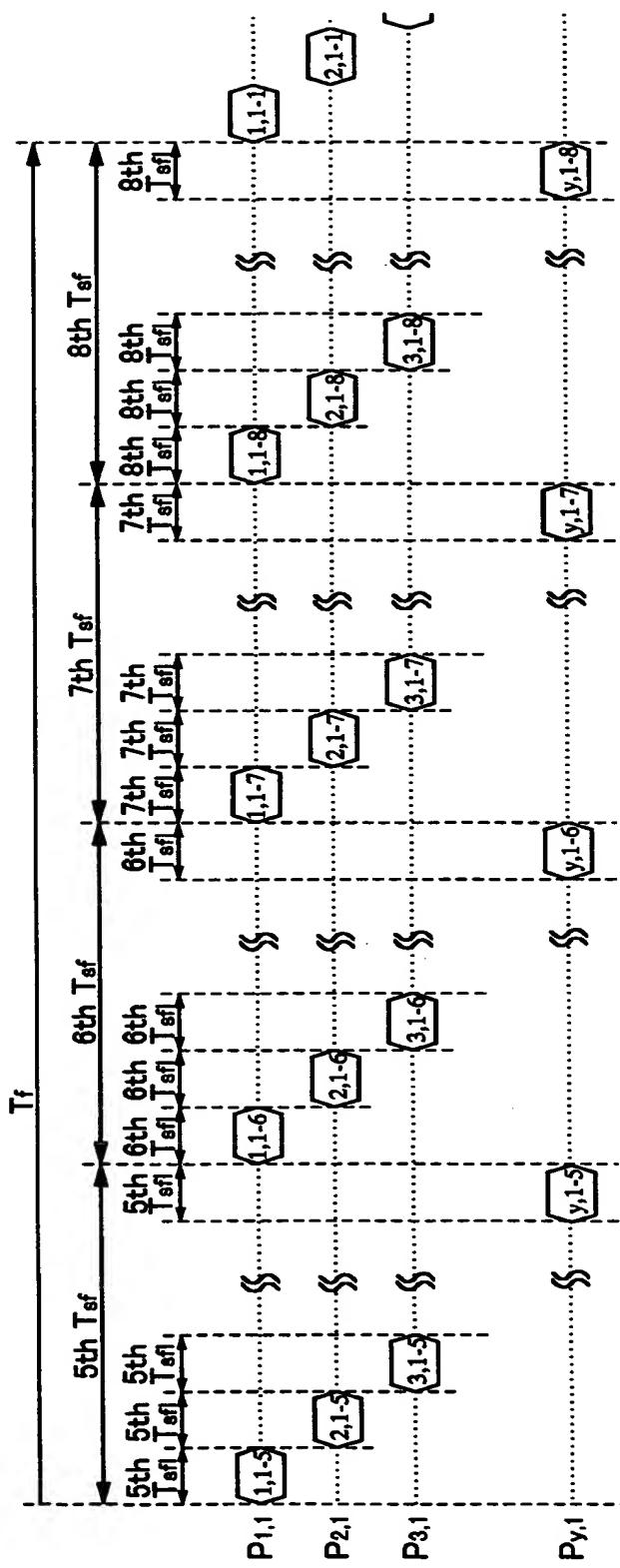
【図5】



【図6】

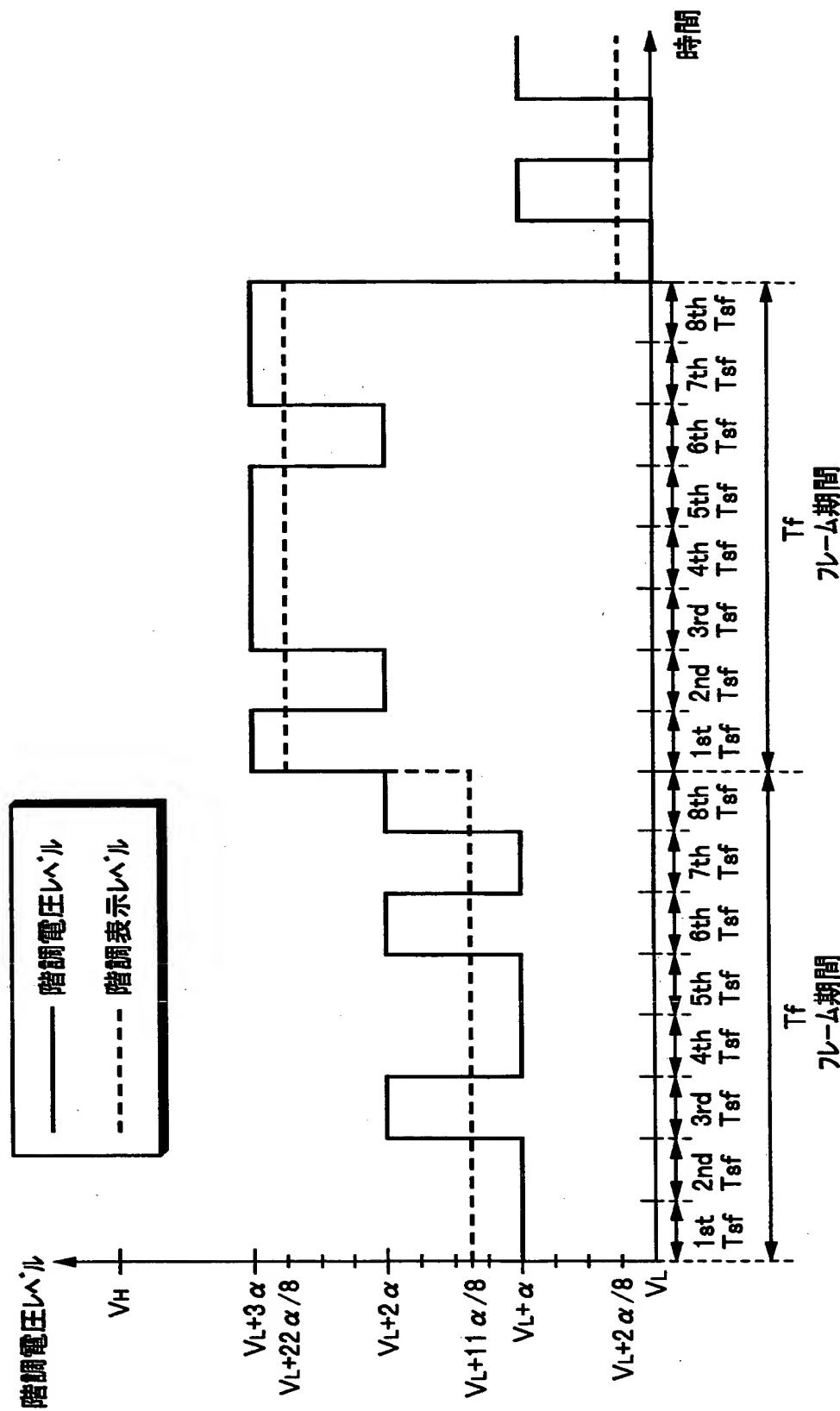


【図7】

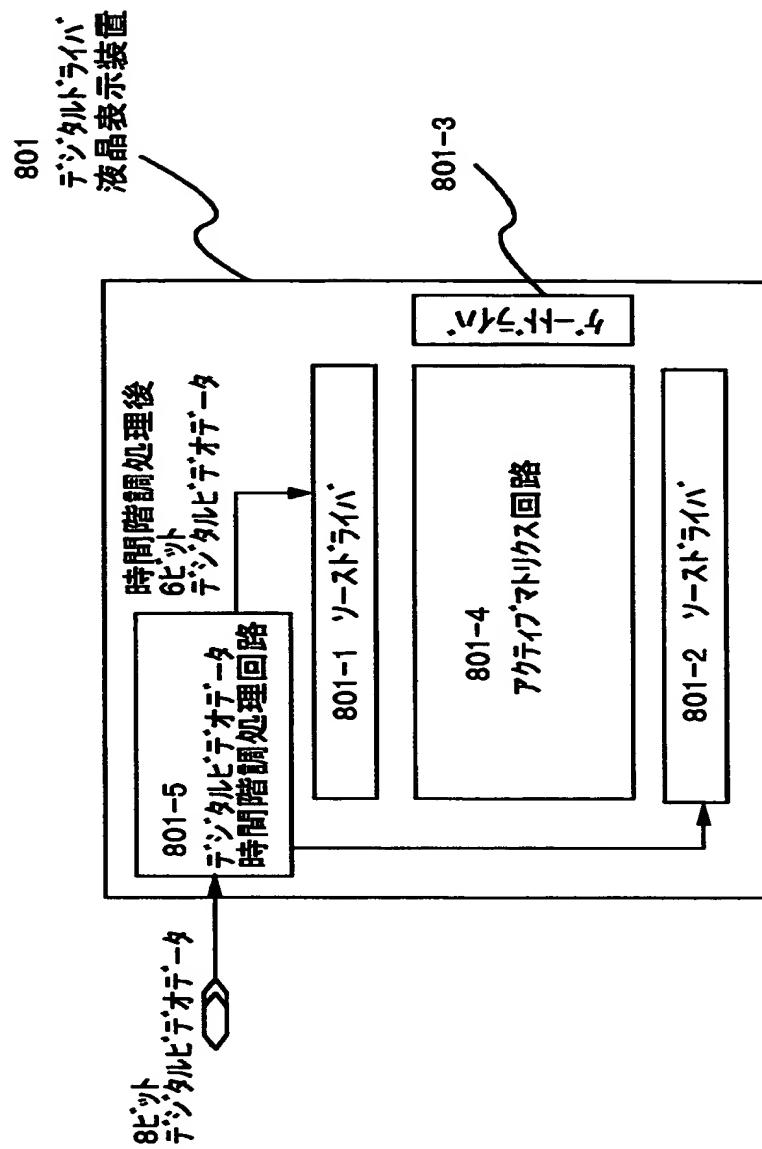


特平 11-072889

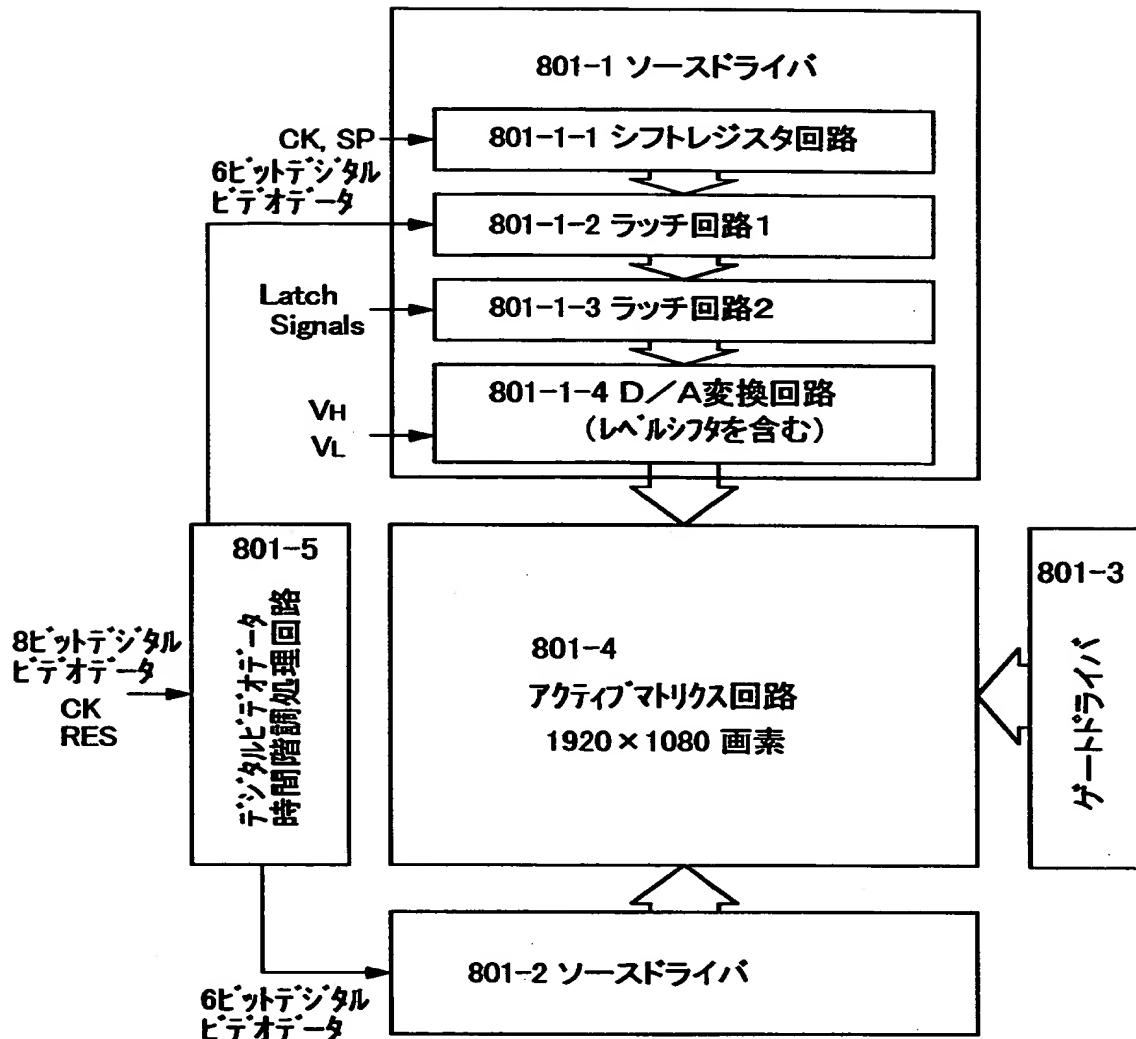
【図8】



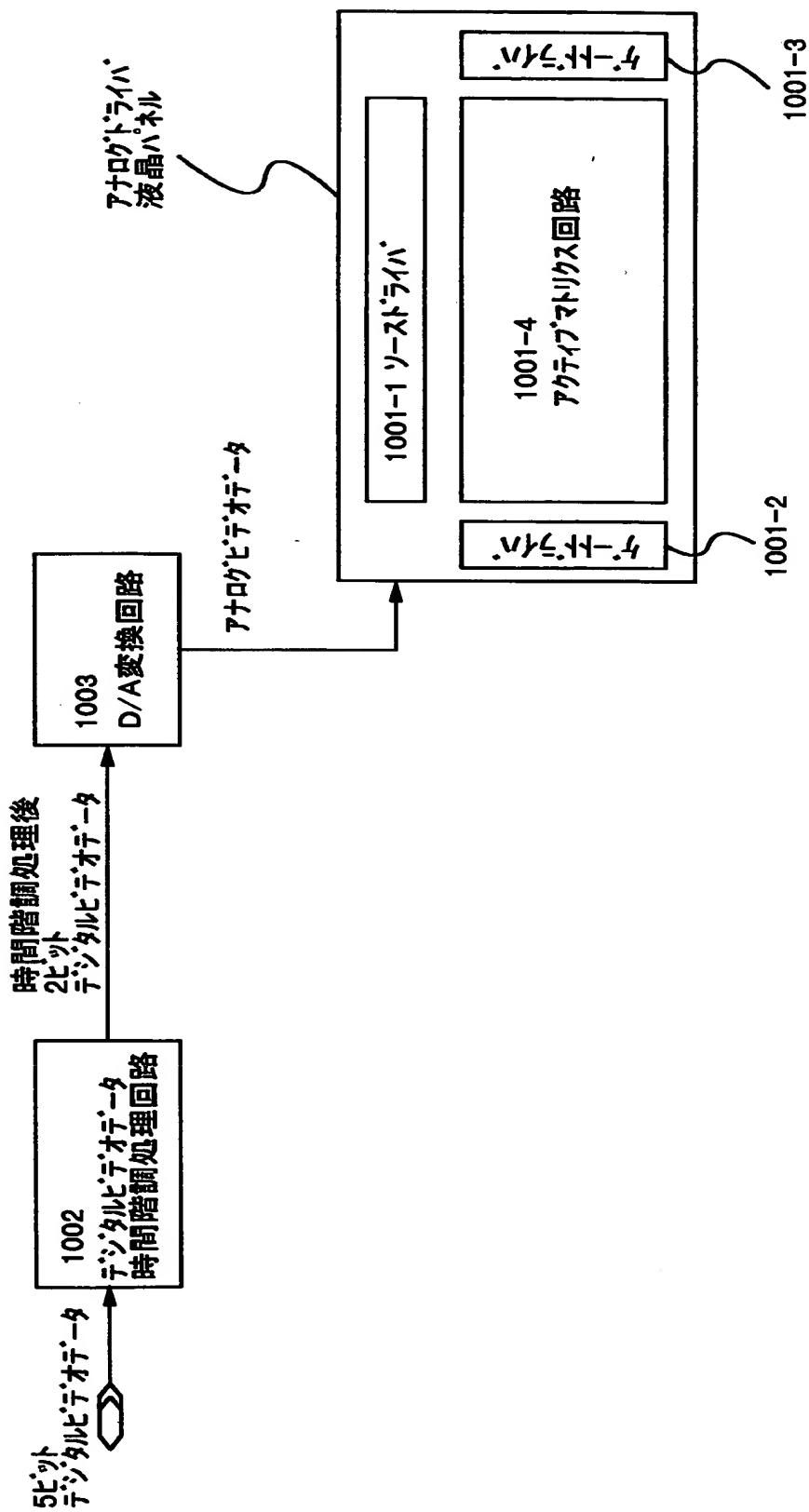
【図 6】



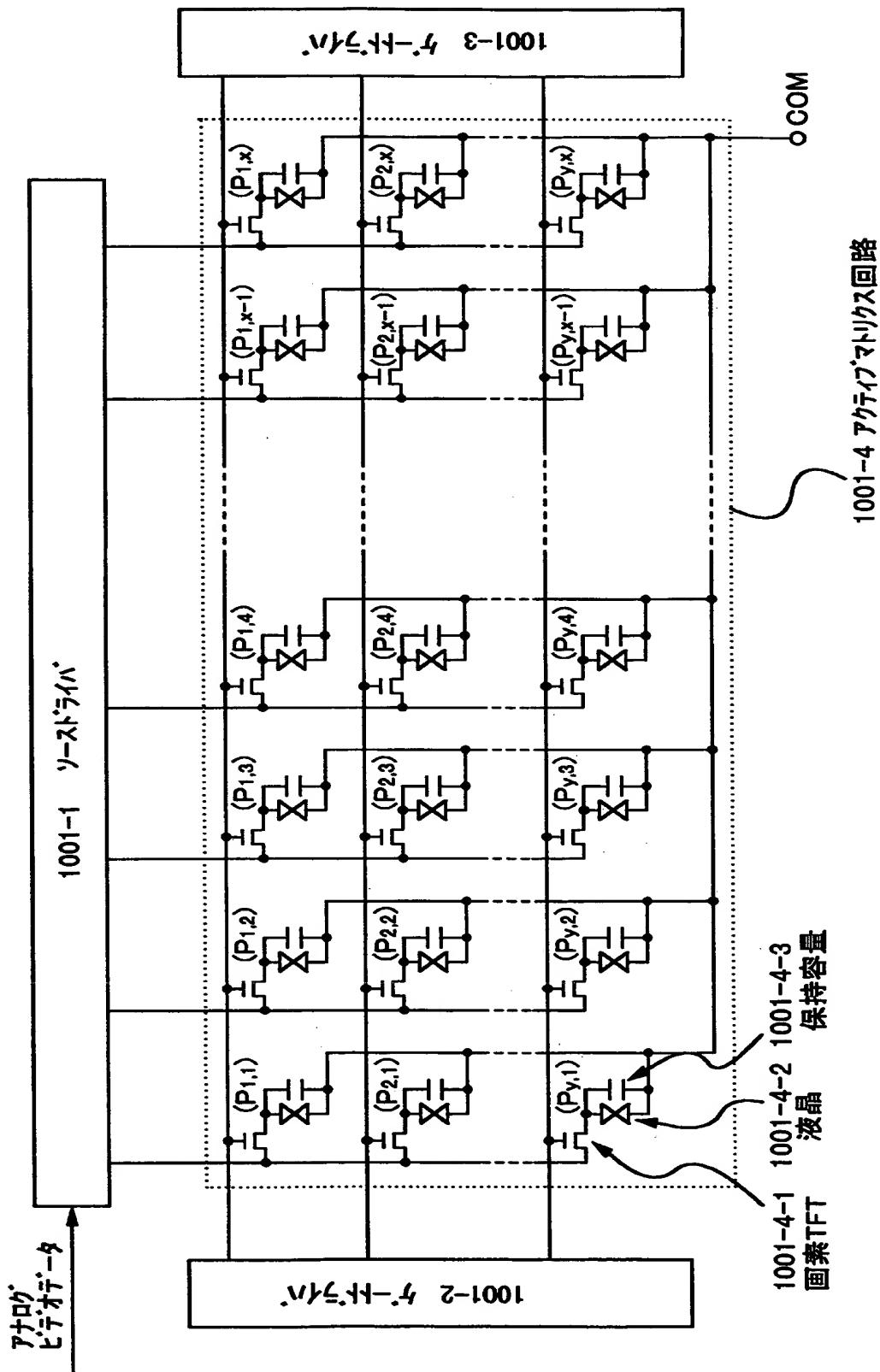
【図10】



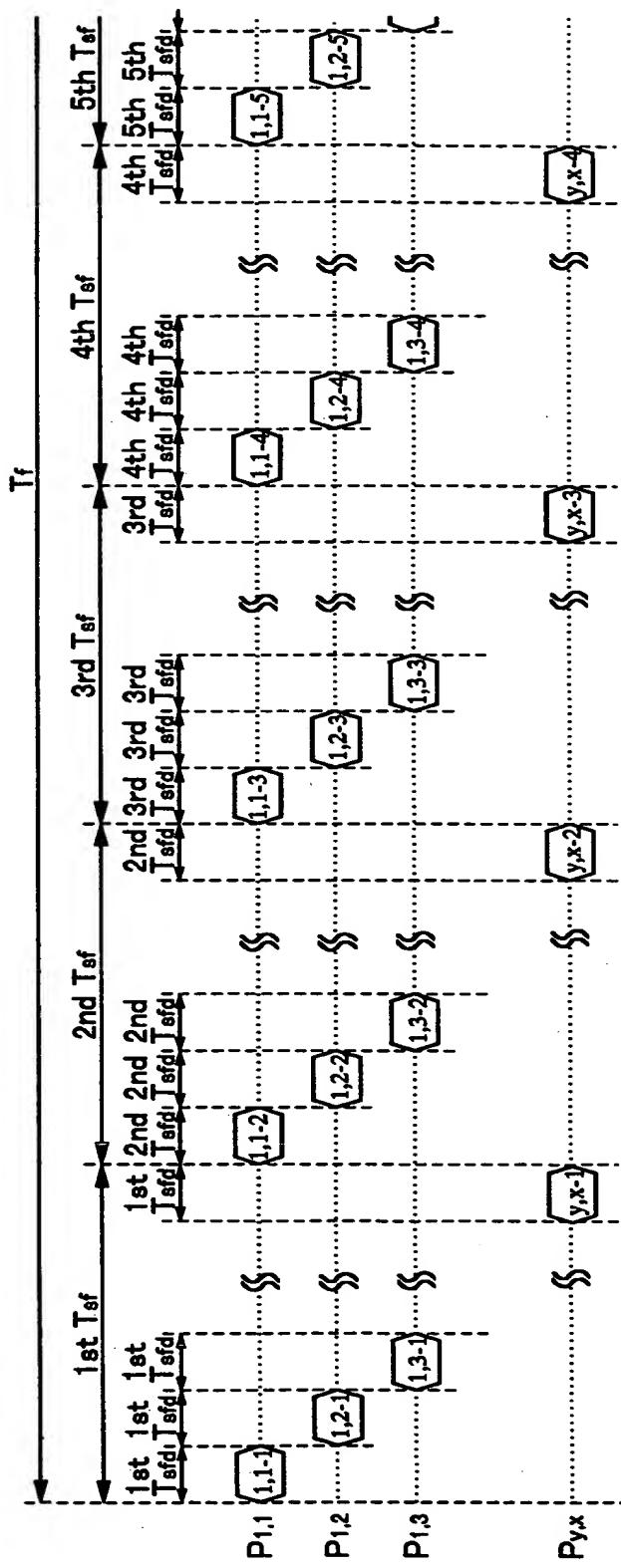
【図11】



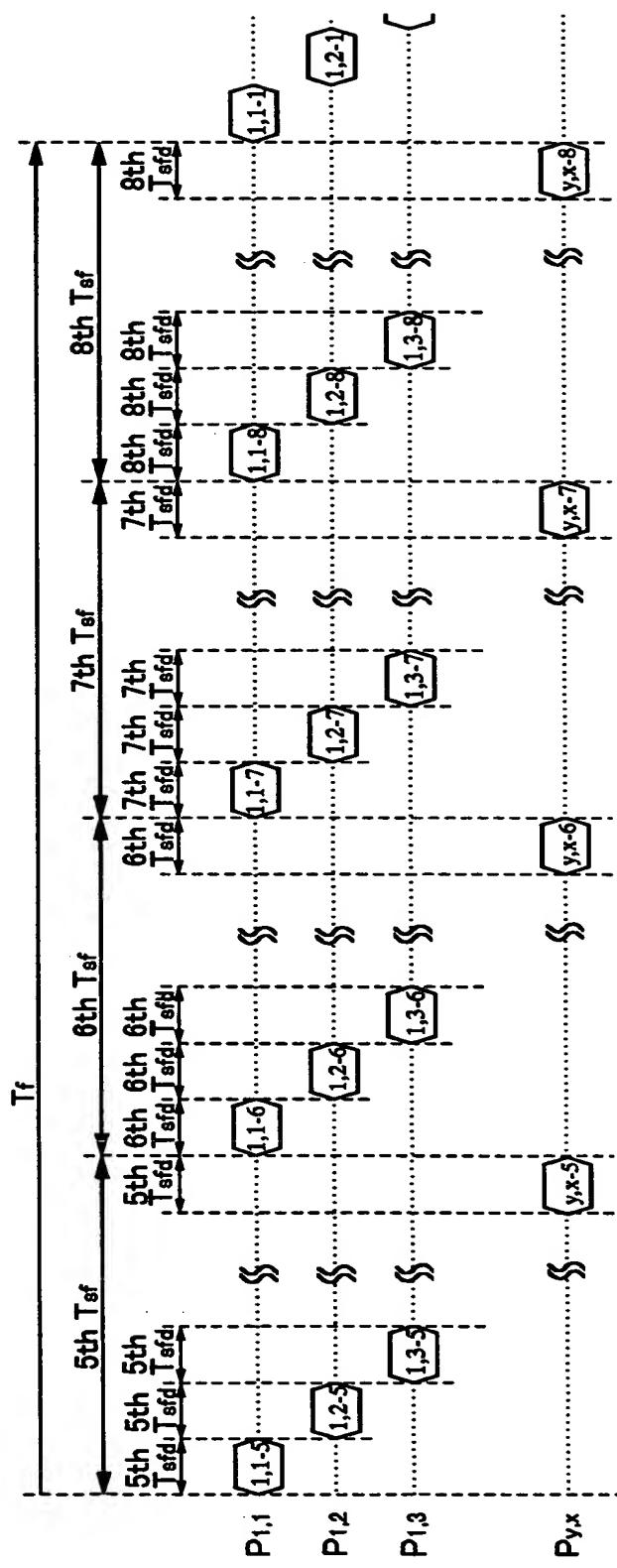
【図12】



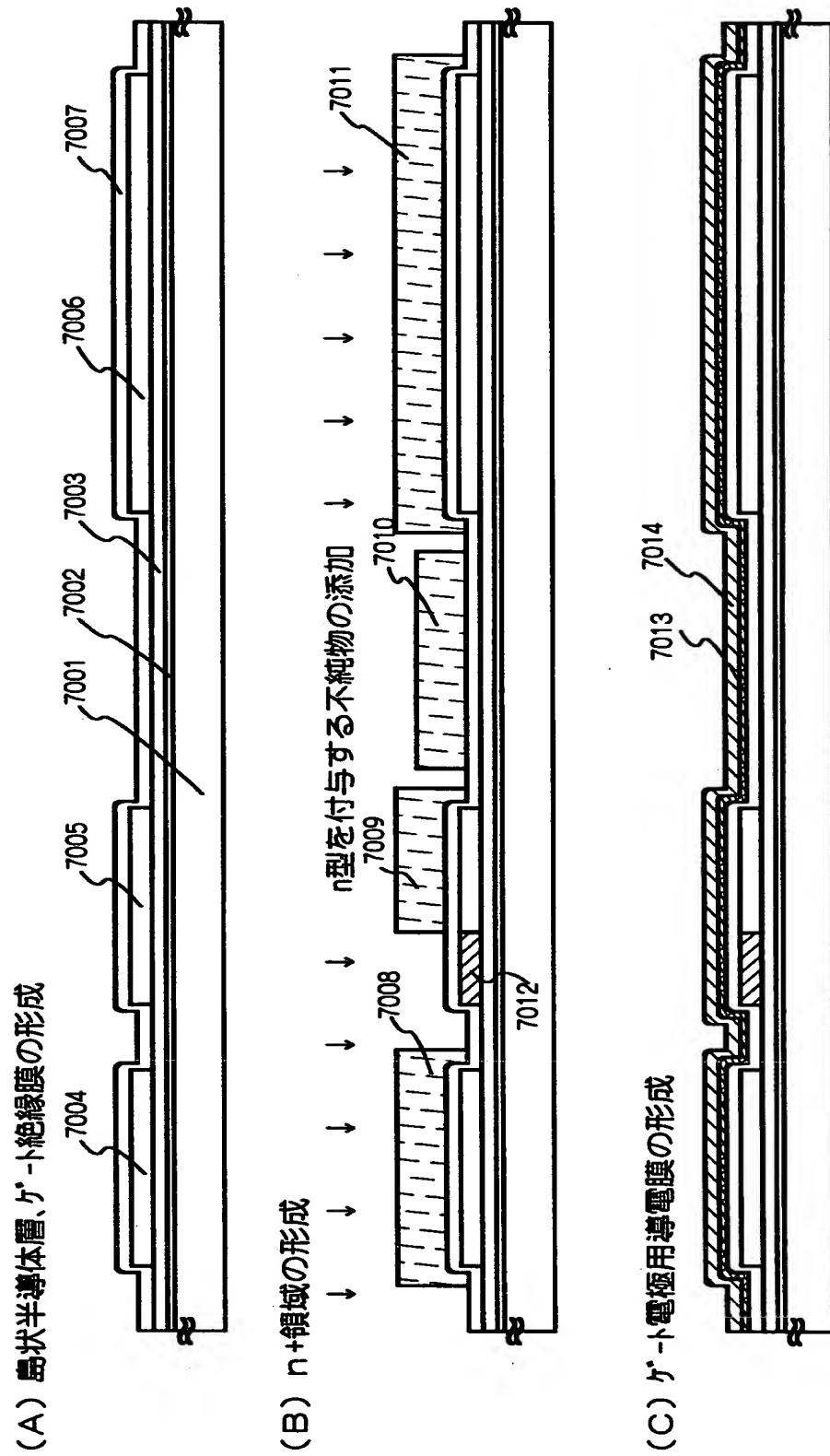
〔図13〕



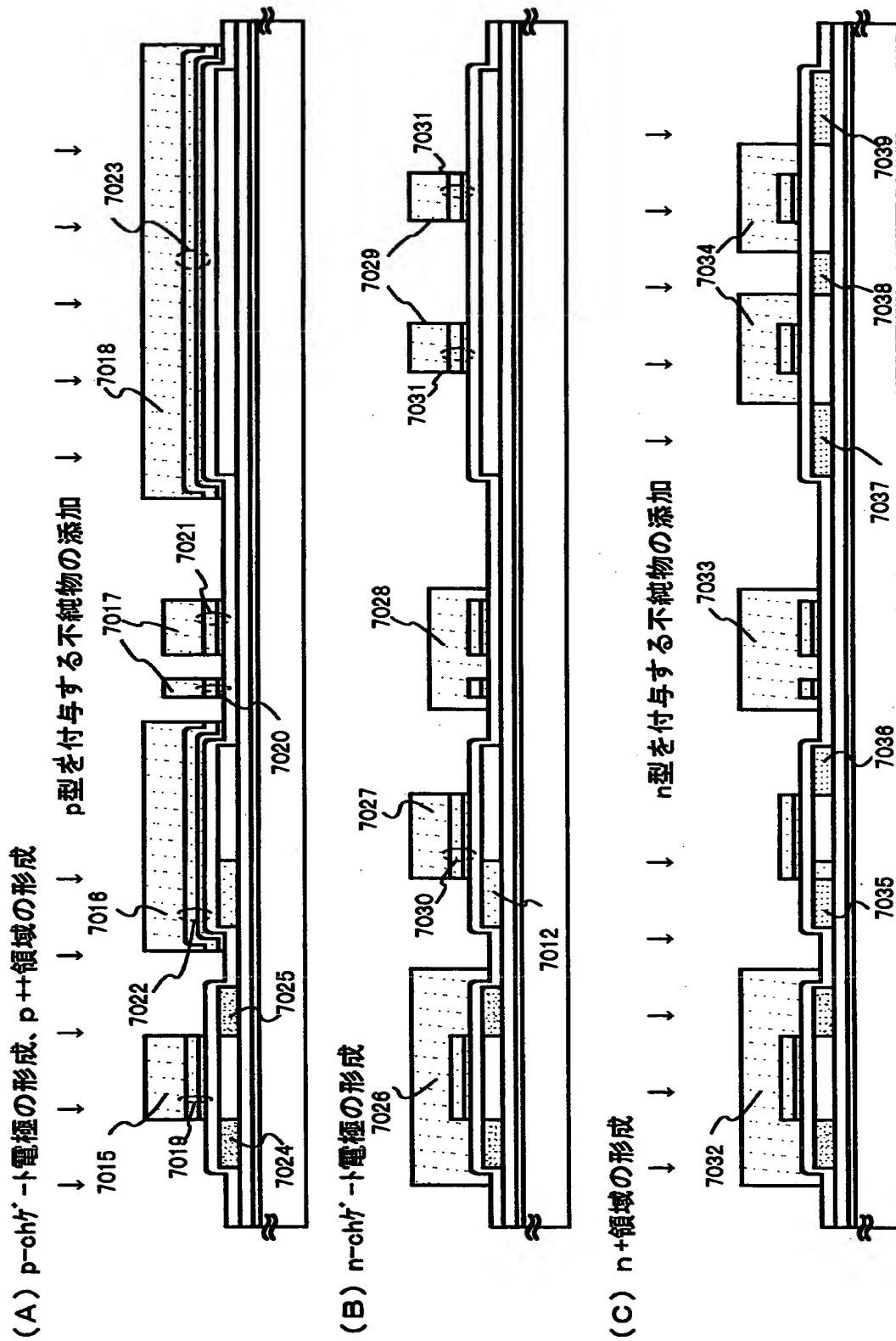
【図14】



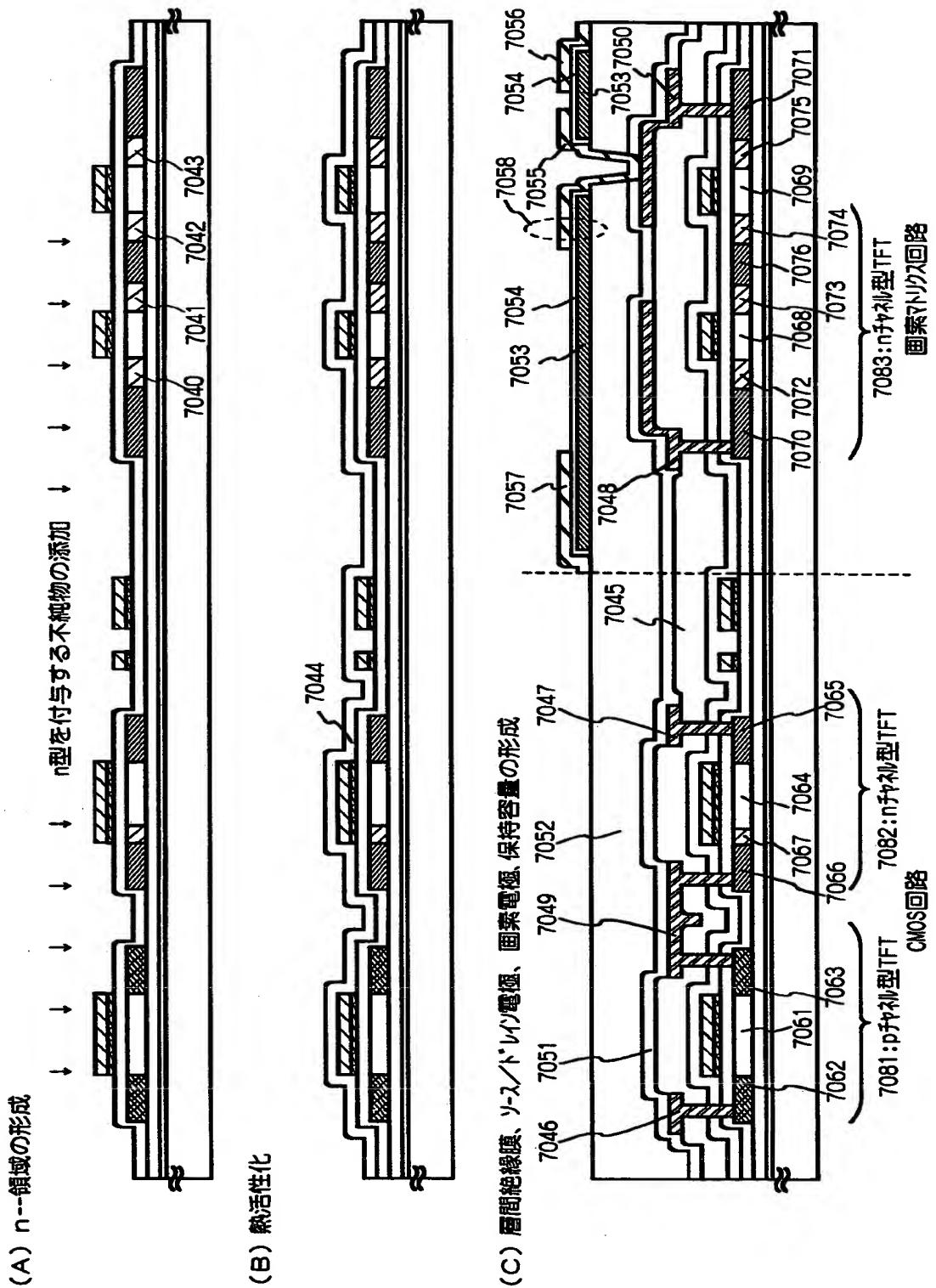
【図15】



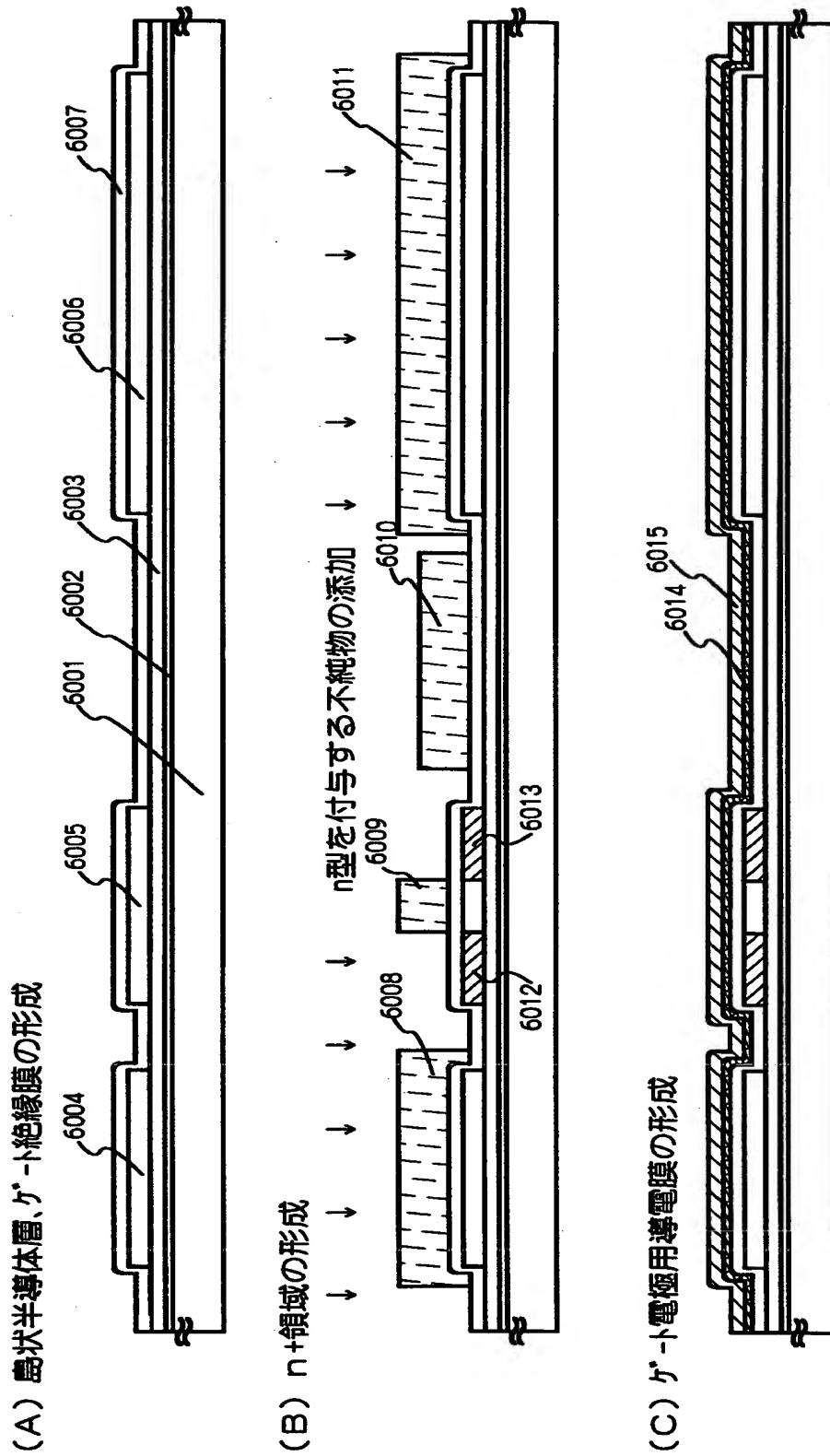
【図16】



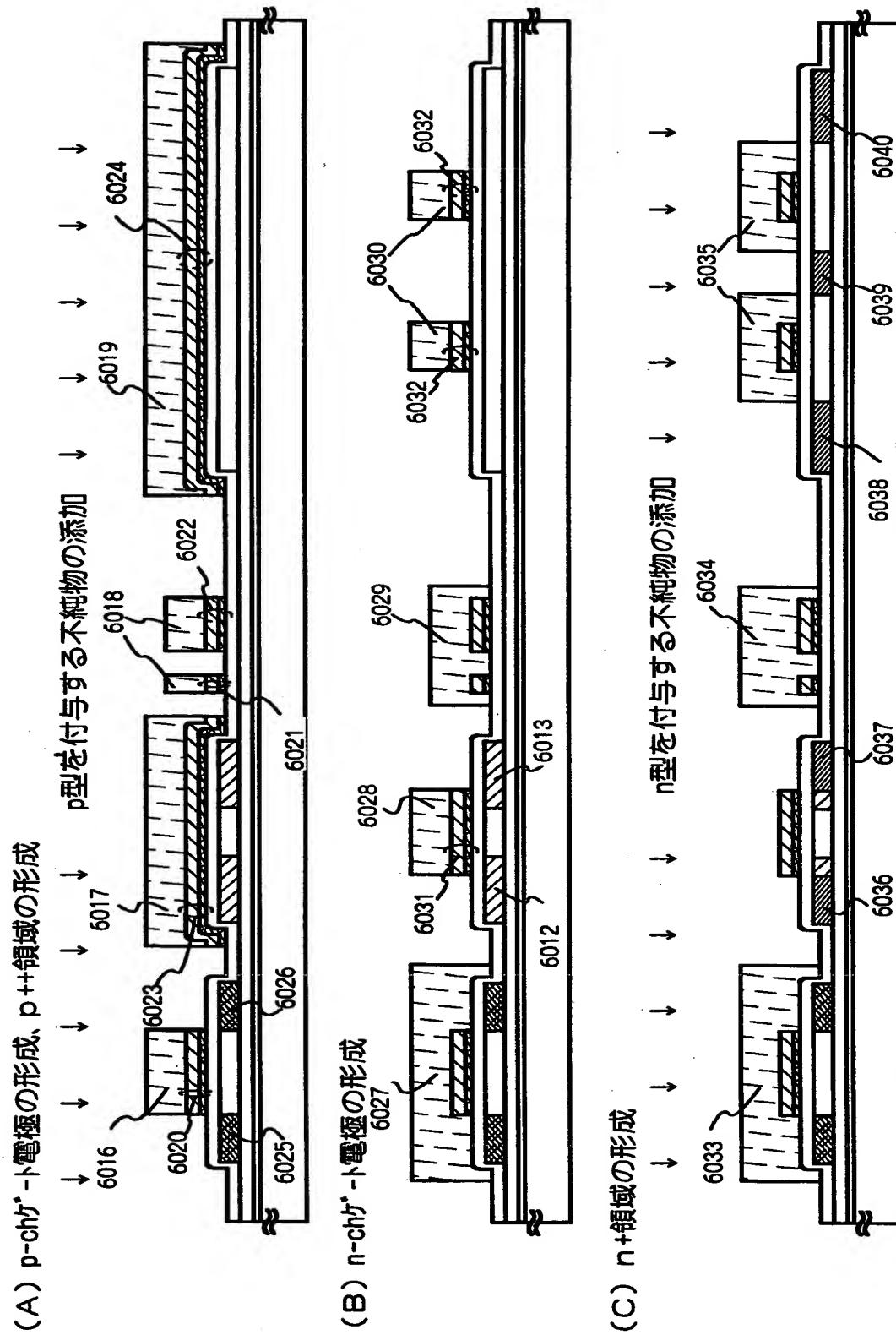
【図17】



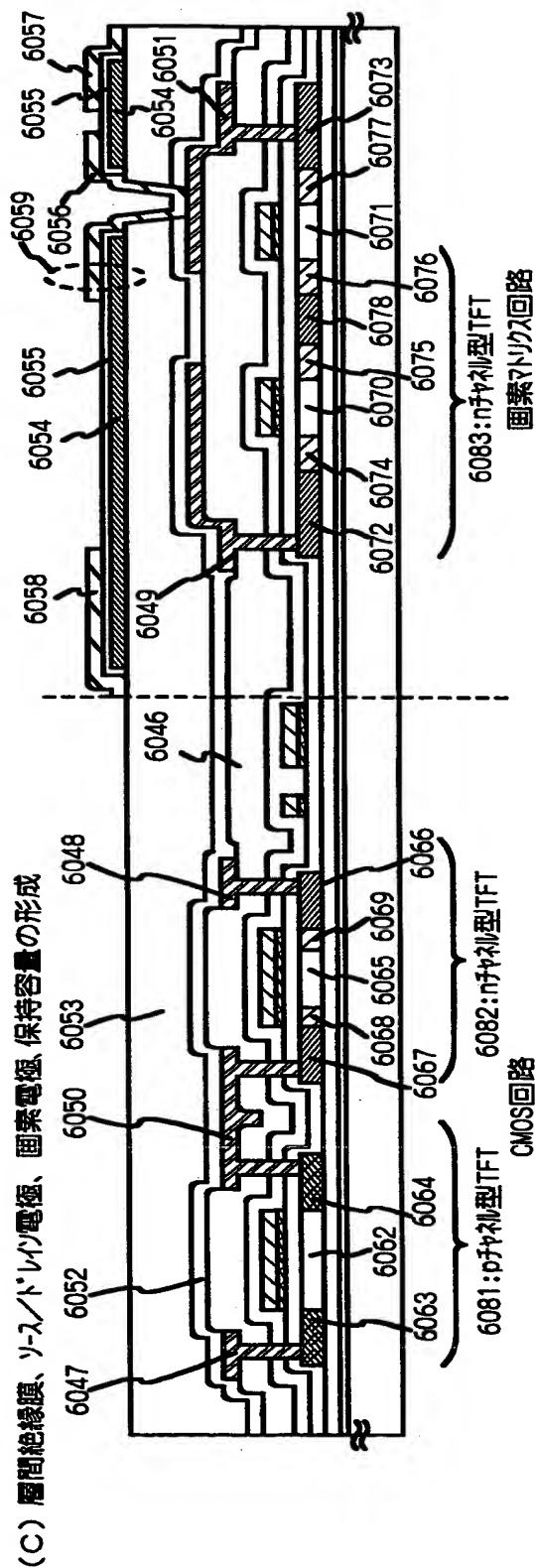
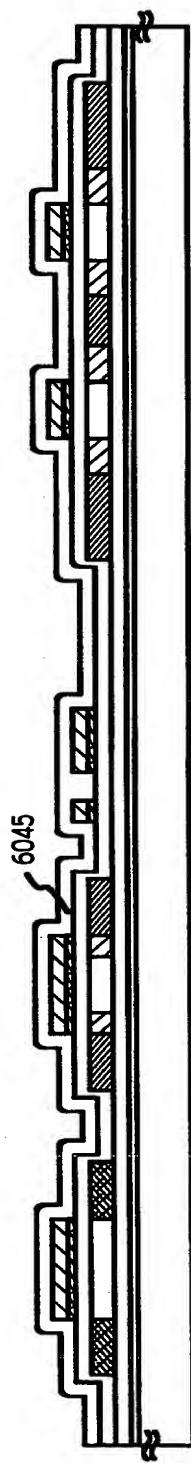
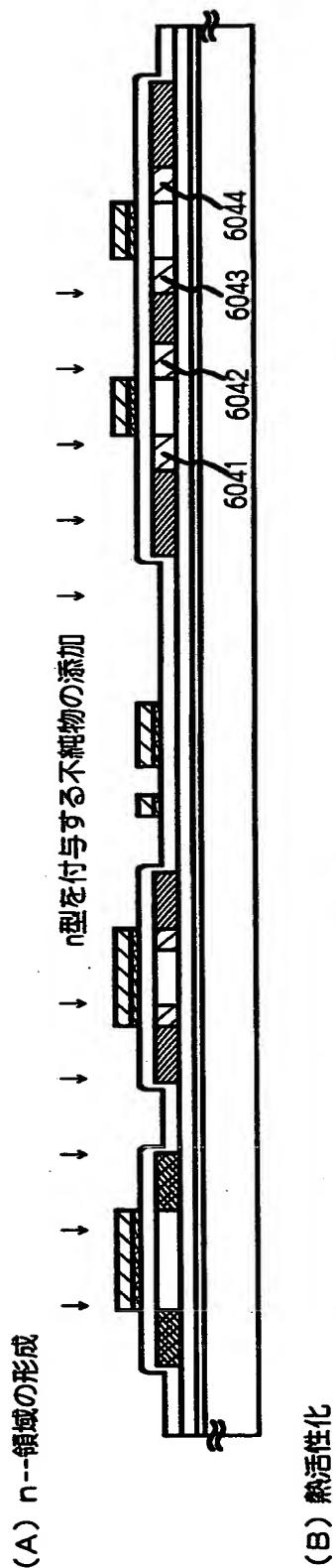
【図18】



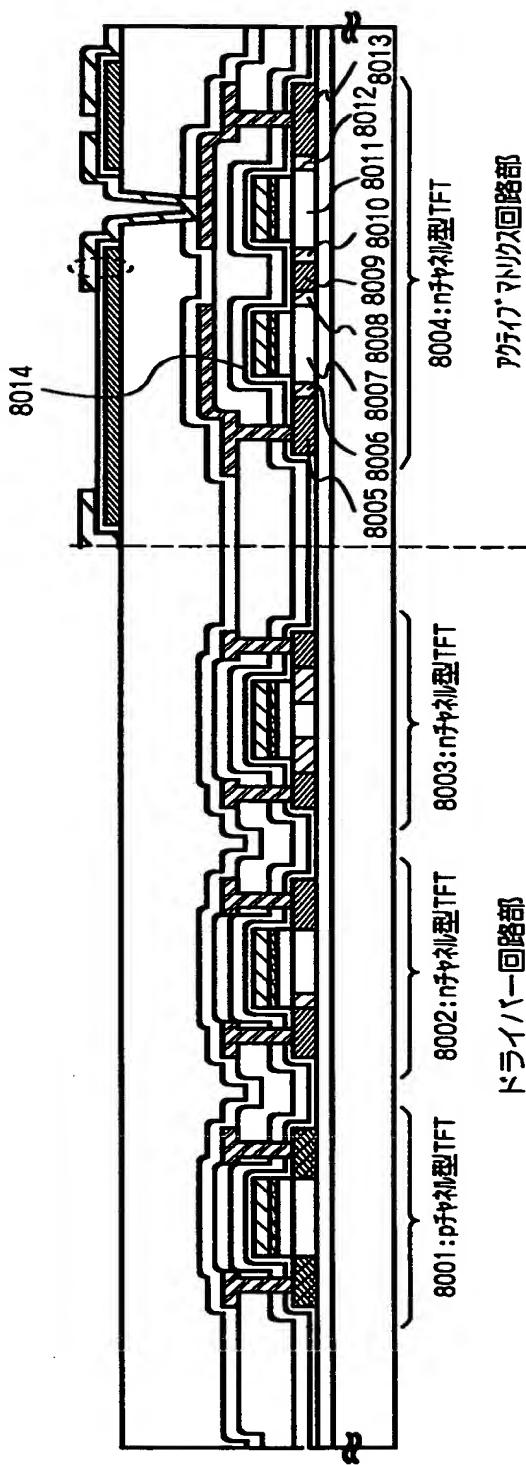
【図19】



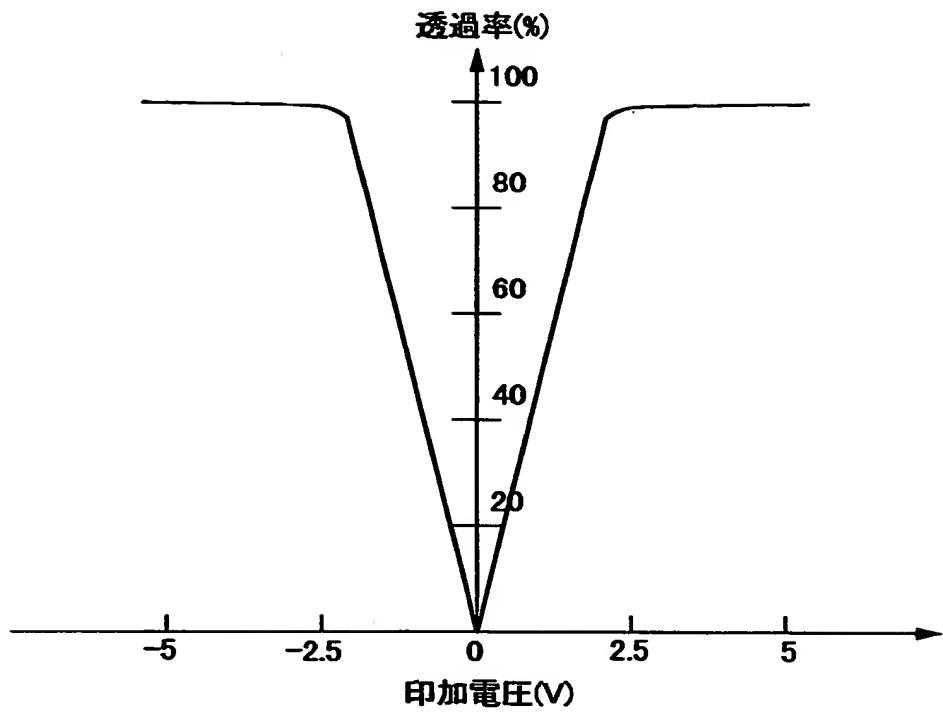
【図20】



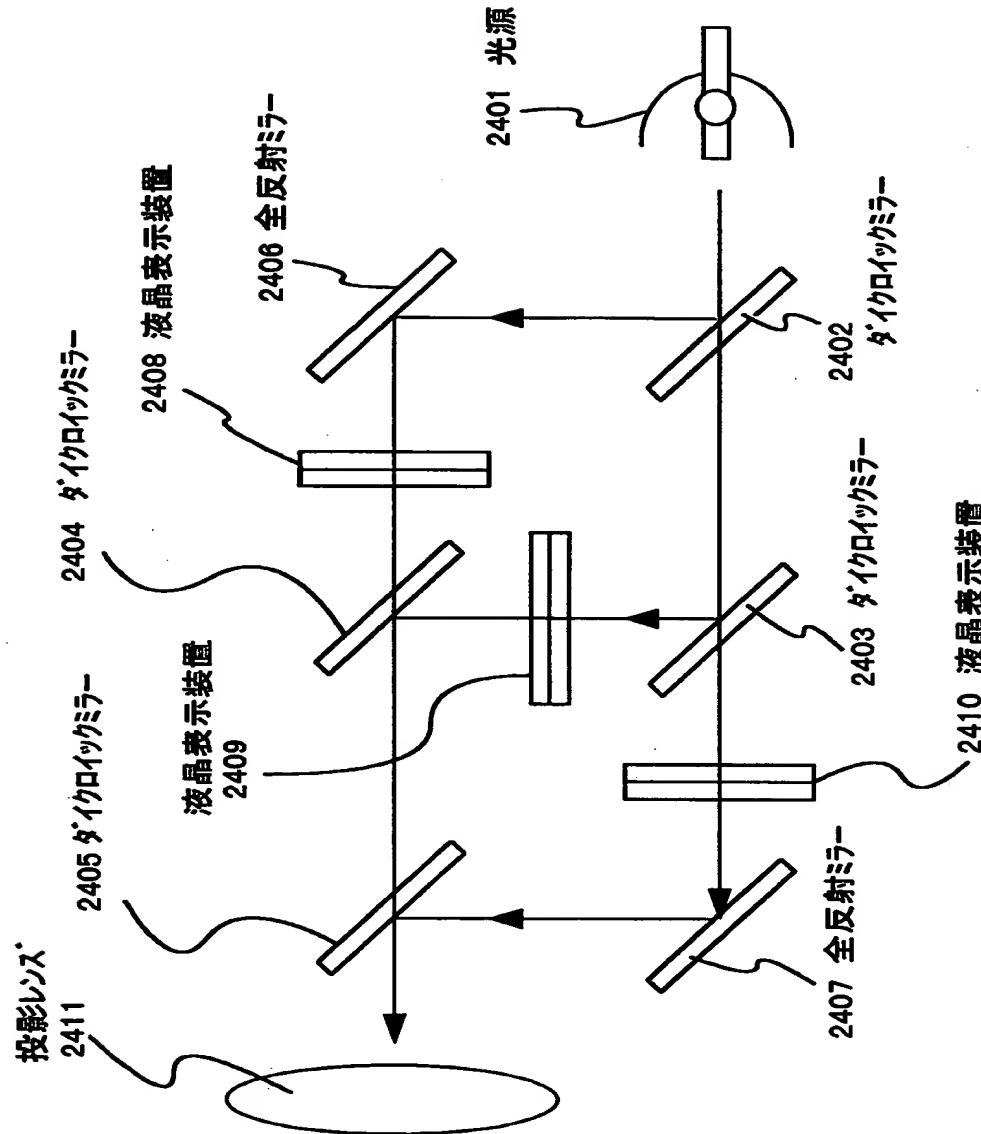
【図21】



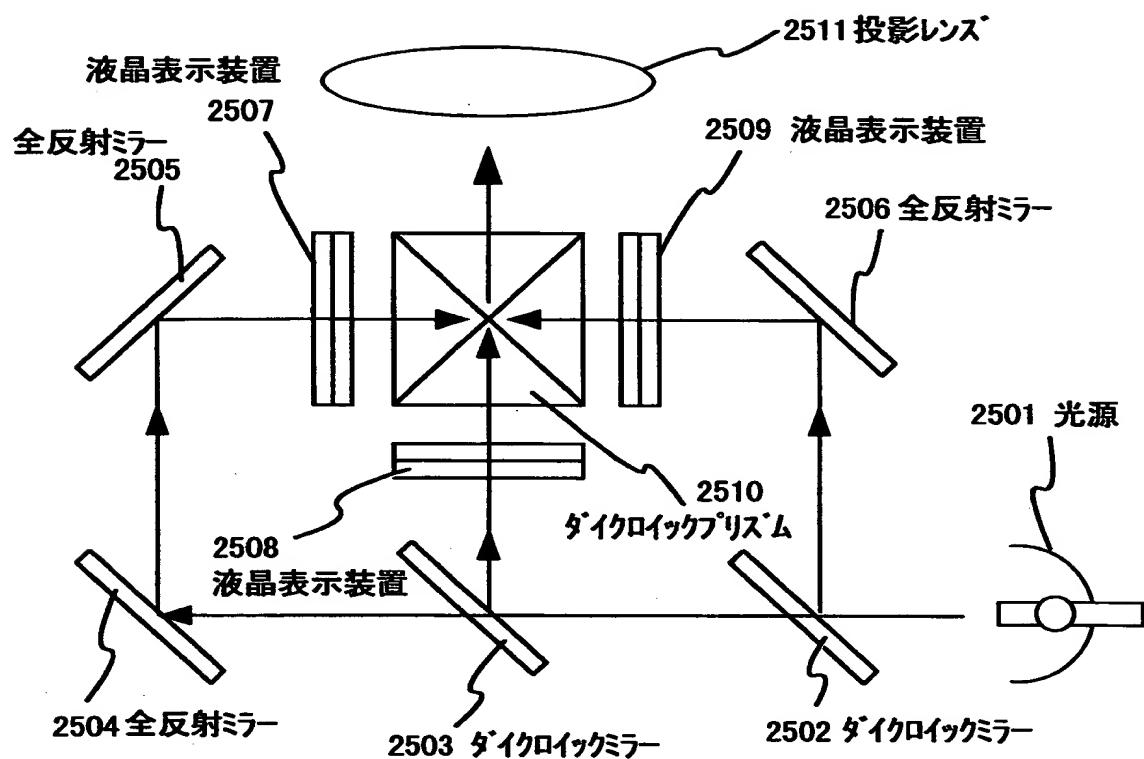
【図22】



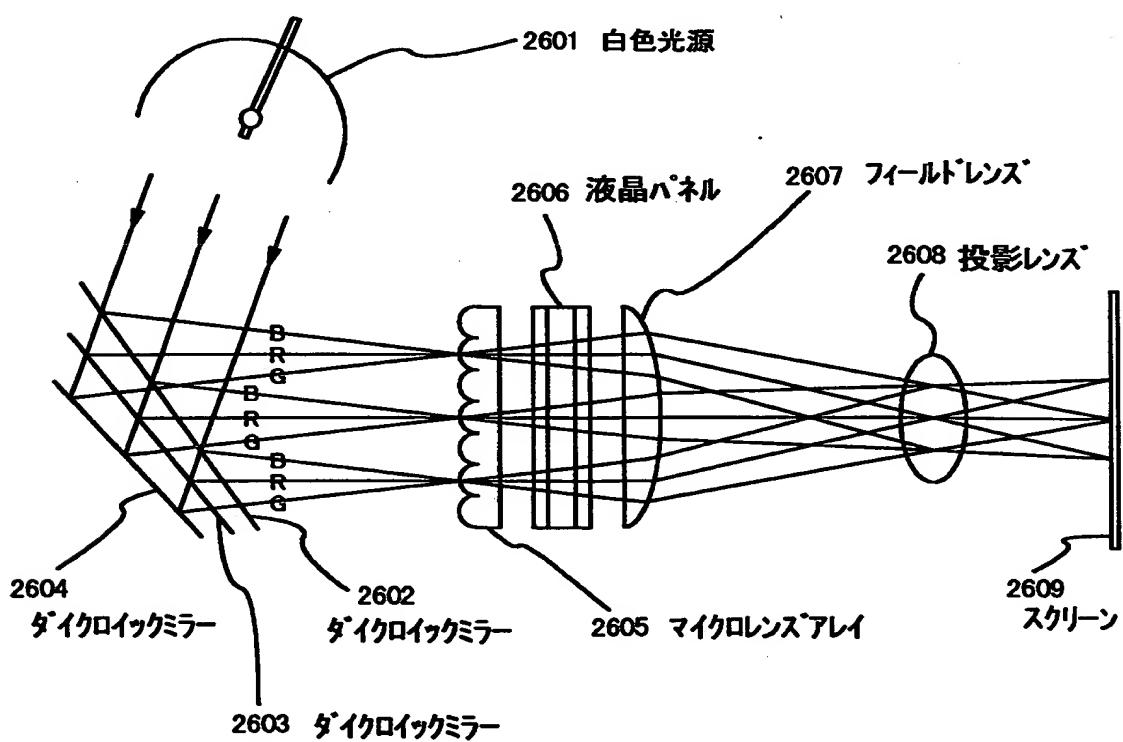
【図23】



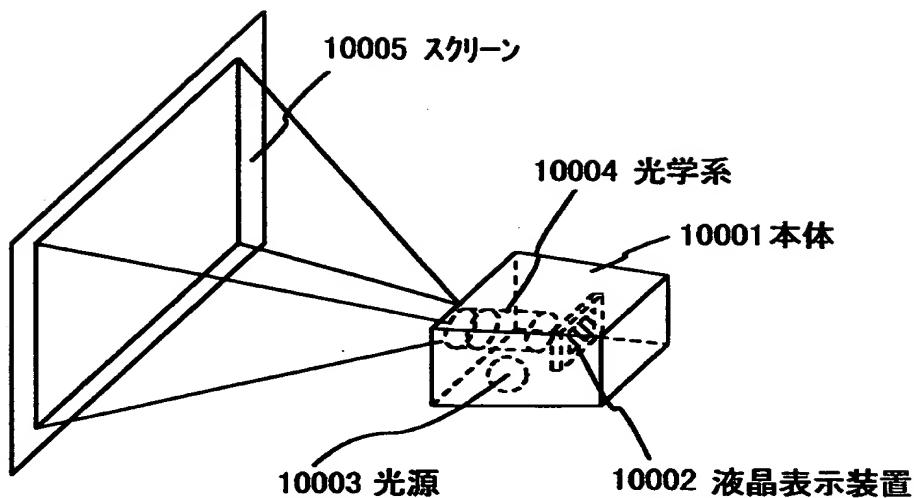
【図24】



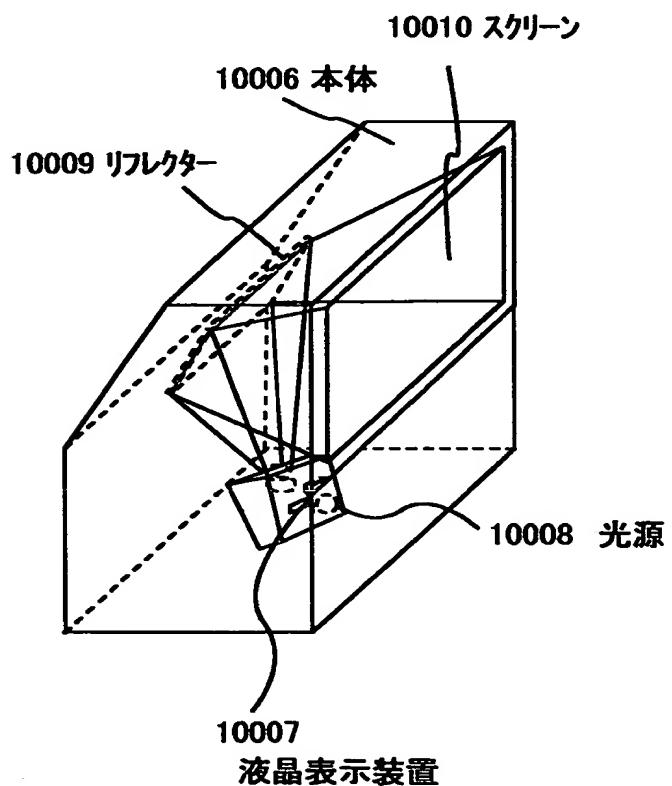
【図25】



【図26】

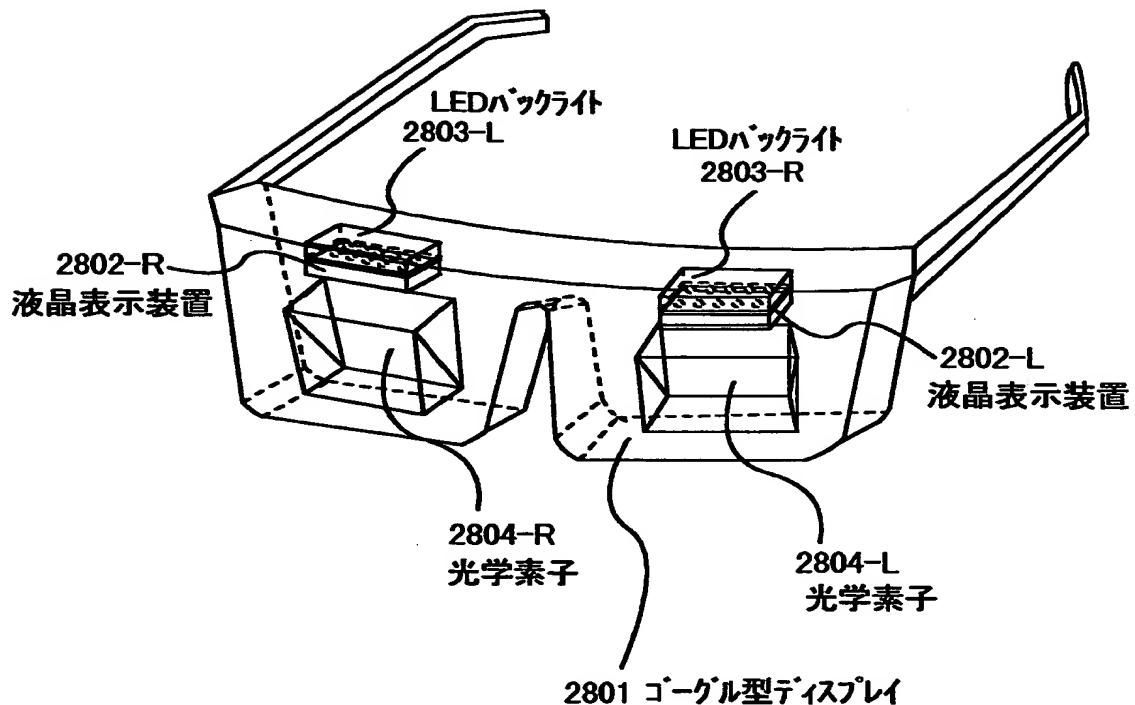


(A)

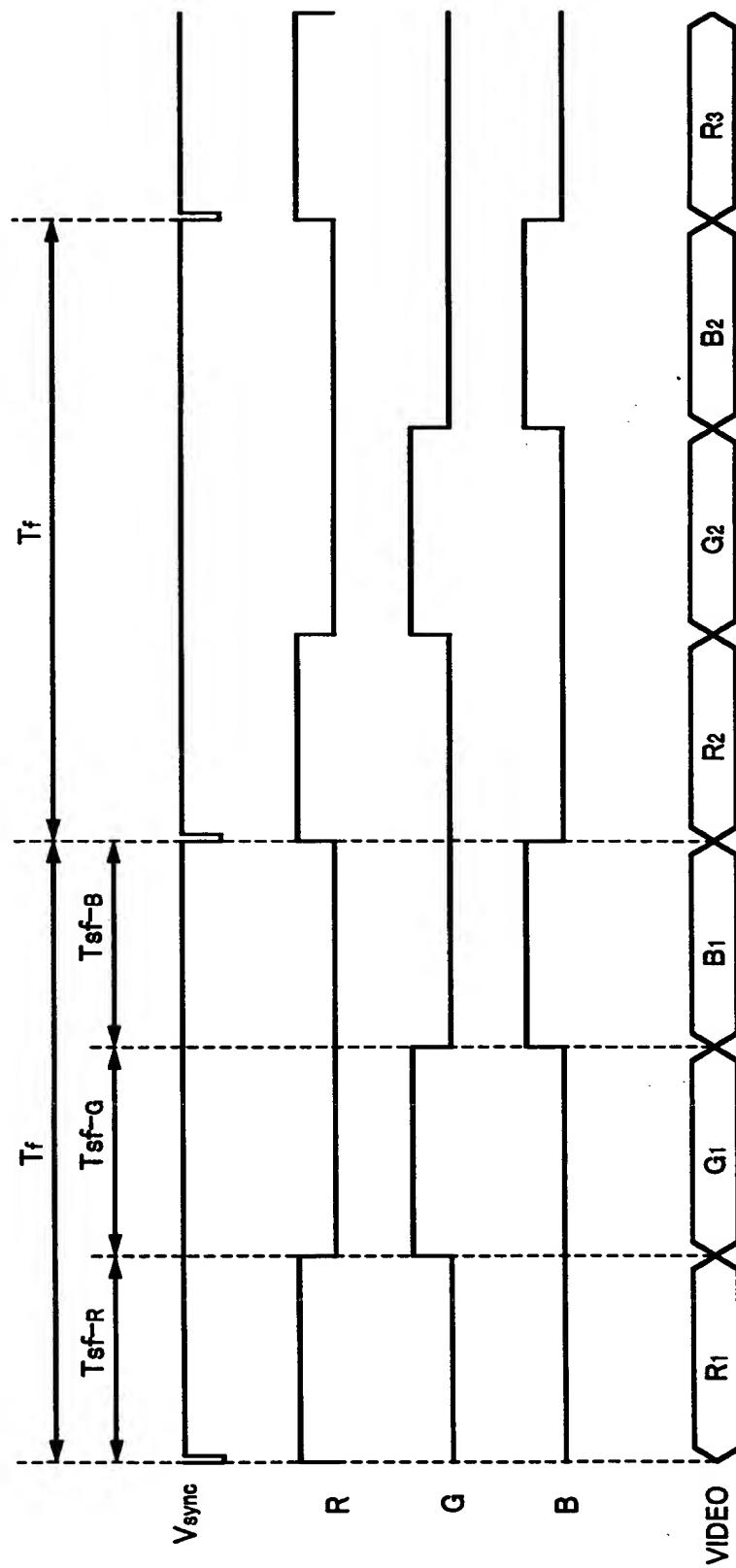


(B)

【図27】



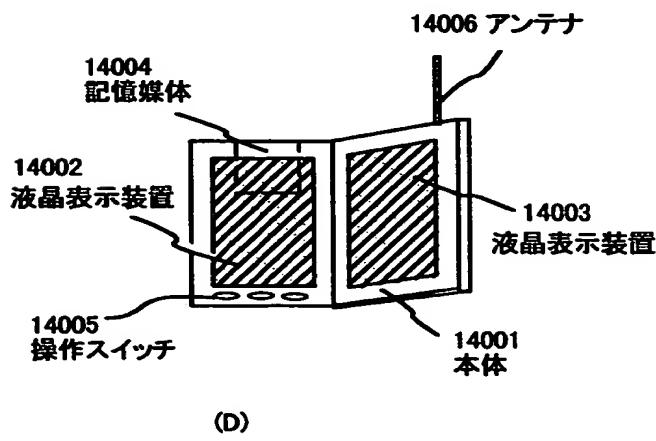
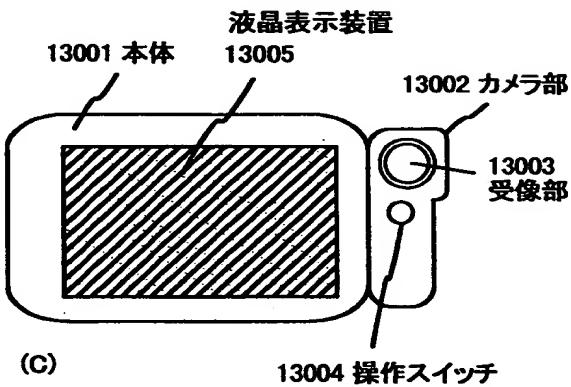
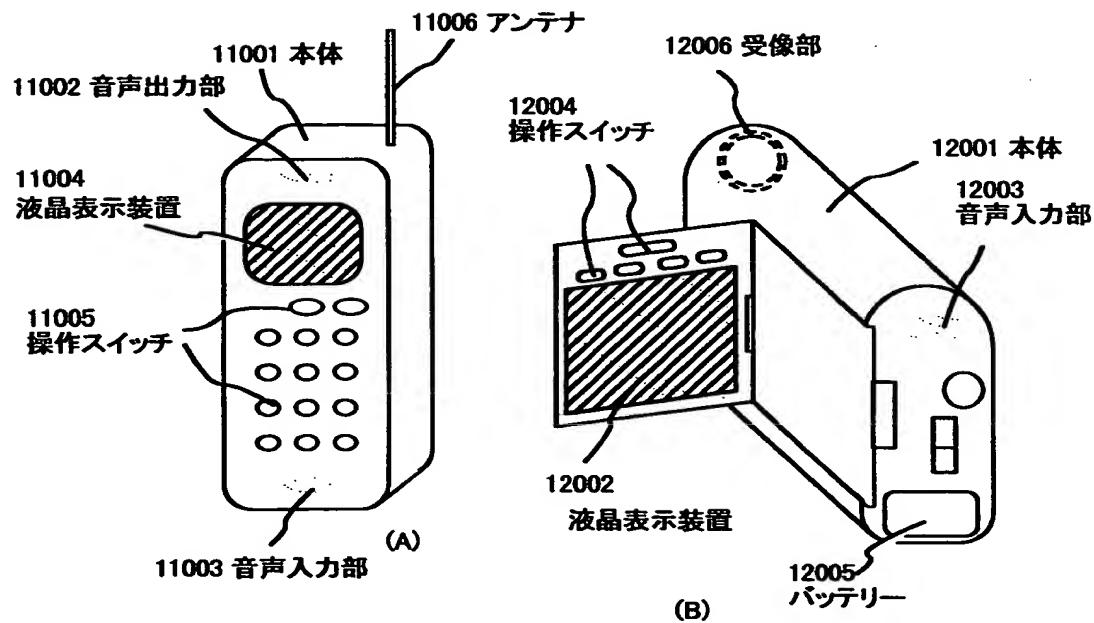
【図28】



【図29】



【図 30】



【書類名】 要約書

【要約】

【課題】 D/A変換回路の構成を複雑にすることなく、多階調表示を可能とする液晶表示装置を提供すること。

【解決手段】 外部から入力される m ビットデジタルビデオデータのうち、 n ビットを電圧階調の情報として、かつ $(m-n)$ ビットを時間階調の情報として用いる。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所